

Attorney's Docket No. 5649-926

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hyun-Ho Kim, Ki-Nam Kim

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: INTEGRATED CIRCUIT FERROELECTRIC MEMORY DEVICES INCLUDING  
PLATE LINES DIRECTLY ON FERROELECTRIC CAPACITORS AND  
METHODS OF FABRICATING THE SAME

#2  
3-23-02  
Payton

January 22, 2002

Box PATENT APPLICATION  
Commissioner for Patents  
Washington, DC 20231

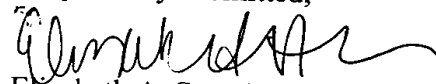
J1046 U.S. PTO  
10/054540  
01/22/02

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of  
Korean priority Application No. 2001-5147, filed February 2, 2001.

Respectfully submitted,



Elizabeth A. Stanek

Registration No. 48,568

Correspondence Address:



20792

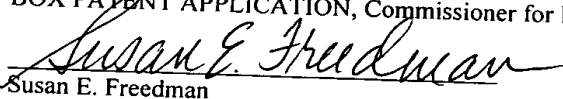
PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EL 920740385 US

Date of Deposit: January 22, 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express  
Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:  
BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231.



Susan E. Freedman

Date of Signature: January 22, 2002

#2

J1046 U.S. PTO  
10/054540  
01/22/02



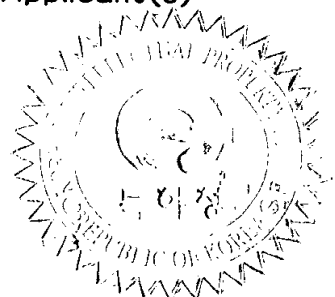
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2001년 제 5147 호  
Application Number PATENT-2001-0005147

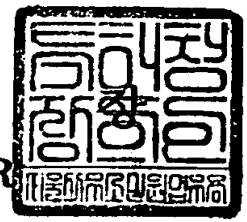
출원년월일 : 2001년 02월 02일  
Date of Application FEB 02, 2001

출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001      07      23  
년      월      일

특      허      청  
COMMISSIONER



|            |   |
|------------|---|
| 【서유명】      | 특허출원서   |
| 【권리구분】     | 특허  |
| 【수신처】      | 특허청장  |
| 【참조번호】     | 0002  |
| 【제출일자】     | 2001.02.02  |
| 【발명의 명칭】   | 강유전체 기억소자 형성 방법                                     |
| 【발명의 영문명칭】 | METHOD OF FABRICATING A FERROELECTRIC MEMORY DEVICE |
| 【출원인】      |   |
| 【명칭】       | 삼성전자 주식회사   |
| 【출원인코드】    | 1-1998-104271-3                                     |
| 【대리인】      |   |
| 【성명】       | 임창현   |
| 【대리인코드】    | 9-1998-000386-5                                     |
| 【포괄위임등록번호】 | 1999-007368-2                                       |
| 【대리인】      |   |
| 【성명】       | 권혁수   |
| 【대리인코드】    | 9-1999-000370-4                                     |
| 【포괄위임등록번호】 | 1999-056971-6                                       |
| 【발명자】      |   |
| 【성명의 국문표기】 | 김현호   |
| 【성명의 영문표기】 | KIM, HYUN HO  |
| 【주민등록번호】   | 690210-1046725                                      |
| 【우편번호】     | 449-840   |
| 【주소】       | 경기도 용인시 수지읍 풍덕천리 한국APT 102동 506호                    |
| 【국적】       | KR  |
| 【발명자】      |   |
| 【성명의 국문표기】 | 김기남   |
| 【성명의 영문표기】 | KIM, KI NAM   |
| 【주민등록번호】   | 580414-1273118                                      |
| 【우편번호】     | 431-070   |
| 【주소】       | 경기도 안양시 동안구 평촌동 꿈마을 라이프APT 108동 50호                 |
| 【국적】       | KR  |
| 【심사청구】     | 청구  |

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 10 면 10,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 500,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본발명은 강유전체 기억소자 형성 방법에 관한 것으로서, 콘택을 통하지 않고 직접 강유전체 상부전극에 접촉하여 전기적 접속이 이루어지는 플레이트 라인 형성 방법을 제공한다. 강유전체 커패시터 형성 후, 절연막을 증착하고 평탄화 한다. 이때 평탄화 공정은 커패시터 상부전극이 노출될 때까지 진행되며, 이후 플레이트 전극용 도전막을 형성하고 패터닝하여 상부전극에 직접 접촉하는 플레이트 라인을 형성한다.

따라서 플레이트 라인 및 커패시터 상부전극 사이의 안정적인 콘택 저항을 확보할 수 있다.

**【대표도】**

도 11

**【명세서】****【발명의 명칭】**

강유전체 기억소자 형성 방법{METHOD OF FABRICATING A FERROELECTRIC MEMORY DEVICE}

**【도면의 간단한 설명】**

도 1은 2T/2C 강유전체 기억소자의 등가회로이다.

도 2는 1T/1C 강유전체 기억소자의 등가회로이다.

도 3은 종래 강유전체 기억소자 형성 방법에 따른 강유전체 커패시터 및 플레이트 라인을 개략적으로 나타내는 반도체 기판의 부분적인 단면도이다.

도 4에서 부터 도 11은 본발명의 일실시예에 따른 강유전체 기억소자 형성 방법을 공정 순서에 따라 나타내는 반도체 기판의 부분적인 단면도이다.

도 12에서 부터 도 15는 본발명의 다른 실시예에 따른 강유전체 기억소자 형성 방법을 공정 순서에 따라 나타내는 반도체 기판의 부분적인 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명

400 : 반도체 기판    402 : 게이트 산화막

404 : 게이트 전극    406a : 소스 영역

406b : 드레인 영역    408 : 제 1 층간 절연막

410 : 비트라인 콘택 플러그    412 : 비트라인

414 : 제 2 층간 절연막    416 : 강유전체 콘택 플러그

418 : 하부전극    420 : 강유전체막

422 : 상부전극    424 : 강유전체 커패시터

426 : 제 3 층간절연막    428 : 플레이트 라인용 도전막

430 : 플레이트 라인    432 : 금속간 절연막

434 : 스트립 라인    425 : 절연막

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <17>        본 발명은 강유전체 기억 소자 및 그 제조 방법에 관한 것으로서, 좀 더 상세하게는 콘택을 통하지 않고 직접 강유전체 커패시터 상부전극에 접촉하여 전기적 접속이 이루어지는 플레이트 라인을 갖는 강유전체 기억 소자 형성 방법에 관한 것이다.
- <18>        기억소자(memory devices)는 크게 휘발성(volatile) 기억소자 및 불휘발성(non-volatile) 기억소자로 나눌 수 있다. 불휘발성 기억소자는 전원공급이 중단되더라도 저장된 데이터를 잃어버리지 않고 그대로 간직하고 있는 기억소자이다. 이러한 불휘발성 기억소자로서 플래쉬 메모리, 자기 태입, 자기 플로피 디스크 등이 있다.
- <19>        한편 휘발성 기억소자는 전원공급이 중단되면 저장된 데이터를 잃어버리는 기억소자이다. 이러한 휘발성 기억소자로는 에스램(SRAM:static random access memory)과 디램(DRAM:dynamic random access memory)이 있다. 디램은 1T/1C 구조로서 그 집적도가 매우 높다. 하지만 디램의 경우 저장된 데이터를 유지하기 위해서는 주기적인 리프레쉬 동작이 필요하다.
- <20>        그런데, 강유전체 재료가 상부전극 및 하부전극 사이에 형성되면 디램 구조의 커패

시터 메모리 셀로서 사용이 가능하다. 이를 강유전체 기억소자 (FRAM: ferroelectric memory device)라 하며, 이러한 강유전체 기억소자는 불휘발성 특성을 나타낸다. 잘 알려진 바와 같이, 강유전체 기억소자는 서로 다른 두 개의 안정된 분극 상태를 가지는데, 이러한 분극 상태는, 인가된 전압의 방향에 따라 극성 상태가 반전되며 인가된 접압을 제거하여도 분극 상태를 계속 유지한다.

<21> 상술한 바와 같이 강유전체 기억소자는, 플래시메모리(flash memory) 같이 불휘발성 특성, 상대적으로 낮은 전압(약 5V이하)에서의 쓰기(writing)가 가능하며(플래시 메모리의 경우 18-22V), 우수한 동작속도(수십 nsec, 약 40nsec 이하)(플래시 메모리의 경우 수msec), 뛰어난 내성, 낮은 소비 전력으로(대기 전류가 약 1마이크로암페어 이하) 동작이 가능한 장점을 가지고 있다.

<22> 도 1 및 도 2는 각각 2T/2C 강유전체 기억소자(10) 및 1T/1C 강유전체 기억소자(20)의 등가회로를 나타내고 있다. 여기서 2T/2C 기억소자란, 하나의 데이터 상태를 저장하기 위해 두개의 트랜지스터 및 두개의 커패시터가 사용되는 기억소자이며, 1T/1C는 하나의 트랜지스터 및 하나의 커패시터가 사용되는 경우이다. 2T/2C 강유전체 기억소자(10)는 제1강유전체 커패시터(CF1)에 연결된 제1트랜지스터(T1), 제2강유전체 커패시터(CF2)에 연결된 제2트랜지스터(T2)를 포함하고 있다. 제1 및 제2강유전체 커패시터는 서로 상보적인 극성 상태를 가지며, 기억소자의 하나의 데이터 상태를 정의한다. 플레이트 라인(PL)은 강유전체 커패시터 CF1, CF2의 일측에 연결되며 두 트랜지스터 T1, T2의 게이트에 연결된 워드라인(WL)에 평행하게 달린다. 서로 상보적인 비트라인(BL, BL')이 각각 트랜지스터(T1 및 T2)의 타측에 연결된다.

<23> 한편 1T/1C 강유전체 기억소자(20)는 하나의 트랜지스터(T) 및 그 일측의 터미널(



소스 영역 또는 전극)에 연결된 강유전체 커패시터(CF)로 구성된다. 하나의 워드라인(WL)이 상기 트랜지스터(T)의 게이트에 연결되고, 하나의 비트라인(BL)이 상기 트랜지스터의 타측 터미널(드레인 영역 또는 전극)에 연결되고, 각 워드라인 당 개별적인 플레이트 라인(PL)이 강유전체 커패시터의 상부전극에 연결된다.

<24>        상기 등가회로에 나타난 바와 같이, 강유전체 기억소자는 소자 동작 특성상, 상부 전극에 펄스를 인가하여 데이터를 읽기/쓰기 동작을 하게 되어 있는데, 이를 위해 비아홀을 통한 플레이트 라인이 필요하다. 도 3은 이러한 강유전체 커패시터의 단면도를 개략적으로 나타내고 있다. 도 3을 참조하여 종래 플레이트 라인 형성 방법을 설명한다. 먼저, 절연막 (300)을 뚫고 콘택 플러그(302)가 형성된다. 하부전극(304), 강유전체막(306), 상부전극(308)으로 이루어진 강유전체 커패시터(CF)가 상기 콘택 플러그(302)에 전기적으로 연결되도록 형성된다. 상기 강유전체 커패시터(CF) 및 상기 절연막(300) 상에 다른 절연막(310)이 형성되고 상기 상부전극(308)에 전기적으로 연결되는 플레이트 라인(314)이 형성된다. 이때, 플레이트 라인(314)은 상기 다른 절연막의 소정 부분을 통해서 먼저 비아홀(312)을 형성하고 상기 비아홀(312) 및 다른 절연막(310) 상에 도전 물질을 증착하고 패터닝 하여 형성한다.

<25>        그러나, 기억소자의 고집적화로 인해 비아홀의 크기가 작아지고 강유전체 커패시터 상부에 형성되는 절연막의 두께가 두꺼워짐에 따라, 상부전극 크기가 감소하고 이에 따라 비아홀 크기 역시 감소하고, 비아홀 포토 마진이 감소하여 공정이 어려워지게 된다. 예를 들면, 비아홀이 완전히 열리지 않을 수 있다. 또한 워드라인의 전도성을 향상시키기 위해 스트립 라인(stripe line)을 형성 할 경우, 비아홀 포토 마진 감소에 따른 오정렬이 발생할 경우, 스트립 라인과 플레이트 라인 사이의 전기적인 연결이 발생할 수도

있다.

- <26> 또한 비아홀 감소에 따라 상부전극 및 플레이트 라인이 접촉하는 면적이 그로 인해 매우 줄어들게 되며, 이는 상부전극 및 플레이트 라인 사이의 안정적인 콘택 저항 확보에 어려움을 야기한다.

**【발명이 이루고자 하는 기술적 과제】**

- <27> 따라서 본발명은 상술한 제반 문제점을 해결하기 위해 제안 된 것으로서, 플레이트 라인과 강유전체 커패시터 상부전극 사이의 콘택저항을 안정적으로 유지할 수 있는 강유전체 기억 소자 형성 방법을 제공하는 데 있다.

- <28> 본발명의 다른 목적은, 스트립 라인 및 플레이트 라인 사이의 전기적 연결을 방지할 수 있는 강유전체 기억 소자 형성 방법을 제공함에 있다.

**【발명의 구성 및 작용】**

- <29> 따라서 상술한 본발명의 목적을 달성하기 위한 강유전체 기억 소자 형성 방법에 따르면, 반도체 기판 상에 하부막질을 형성한다. 상기 하부막질 상에 상기 하부막질의 소정 영역을 통해 상기 반도체 기판과 전기적으로 접속하는 하부전극, 강유전체막 및 상부전극으로 이루어진 다수의 강유전체 커패시터를 형성한다. 상기 강유전체 커패시터 및 상기 하부막질 상에 상부막질을 형성한다. 상기 강유전체 커패시터 상부전극이 노출될 때 까지 상기 상부막질을 평탄화 식각한다. 상기 강유전체 상부전극 및 상기 평탄화된 상부막질 상에 도전막질을 형성한다. 상기 도전막질을 패터닝 하여 상기 강유전체 상부전극과 직접 접촉하는 플레이트 라인을 형성한다.

- <30> 바람직하게, 상기 하부막질을 형성하는 단계는, 상기 반도체 기판 상에 게이트 전

극 및 그 양측의 소스/드레인 영역으로 이루어진 트랜지스터를 형성하는 단계와, 상기 트랜지스터 상에 제 1 층간 절연막을 형성하는 단계와, 상기 제 1 층간절연막 상에 상기 드레인 영역에 전기적으로 연결되는 비트라인을 형성하는 단계와, 상기 비트라인 및 제 1 층간절연막 상에 제 2 층간절연막을 형성하는 단계로 이루어지며, 상기 강유전체 커패시터 하부전극은 상기 드레인 영역과 전기적으로 연결되도록 형성된다. 이때, 바람직한 실시예에 있어서, 상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인(stripe line)을 더 형성한다.

<31> 상기 스트립 라인은, 바람직하게는 상기 상부막질 상에 금속간 절연막(IMD)을 형성한 후에 형성한다. 다른 방법으로, 상기 상부막질 형성 전에, 상기 강유전체 커패시터 및 상기 제 2 층간 절연막에 의해 형성되는 표면 윤곽을 따라 콘포말하게 절연막을 형성한 후에 형성할 수 있으며, 이때, 상기 스트립 라인의 상부는 상기 강유전체 커패시터의 상부 보다 높이가 낮게 형성된다.

<32> 상술한 방법에 있어서, 바람직하게는, 상기 상부막질 평탄화 식각후, 상기 강유전체 커패시터의 상부전극의 표면을 세정하기 위해 아르곤 스퍼터링을 더 진행한다.

<33> 상술한 본발명의 목적을 달성하기 위한 강유전체 기억 소자 형성 방법에 따르면, 먼저 반도체 기판 상에 게이트 전극 및 그 양측의 소스/드레인 영역으로 이루어진 적어도 두개 이상의 트랜지스터를 형성한다. 상기 트랜지스터들 상에 제 1 층간 절연막을 형성한다. 상기 제 1 층간 절연막을 관통하는 비트라인 콘택 플러그를 통해 상기 소스 영역과 전기적으로 접속하는 비트라인을 상기 제 1 층간 절연막 상에 형성한다. 상기 비트라인 상에 제 2 층간 절연막을 형성한다. 상기 제 2 층간 절연막 및 제 1 층간 절연막의 소정 영역을 통해 상기 각 드레인 영역에 전기적으로 접속하는 강유전체 콘택 플

러그를 각각 형성한다. 상기 강유전체 콘택 플러그들 및 상기 제 2 층간 절연막 상에 하부전극, 강유전체막 및 상부전극으로 이루어진 강유전체 커패시터를 상기 강유전체 콘택 플러그들에 전기적으로 접속하도록 각각 형성한다. 상기 강유전체 커패시터들 및 상기 제 2 층간 절연막 상에 제 3 층간절연막을 형성한다. 상기 강유전체 커패시터 상부전극들이 나타날 때까지 상기 제 3 층간 절연막을 평탄화 식각한다. 상기 평탄화된 제 3 층간 절연막 및 상기 강유전체 상부전극들 상에 플레이트 라인용 도전막을 형성한다. 상기 도전막을 패터닝하여 상기 강유전체 상부전극들에 직접 접촉하는 플레이트 라인을 각각 형성한다.

<34> 바람직한 실시예에 있어서, 게이트 전극의 전도성을 향상시키기 위해 게이트 전극에 전기적으로 접속하는 스트립 라인(stripe line)을 더 형성한다. 이때, 상기 플레이트 라인들 및 상기 평탄화된 제 3 층간 절연막 상에 금속간 절연막을 형성한 후에 형성하는 것이 바람직하다. 다른 방법으로는, 상기 강유전체 커패시터들 형성 후 그리고 상기 제 3 층간 절연막 형성 전에 상기 강유전체 커패시터들 및 상기 평탄화된 제 2 층간 절연막으로 이루어진 표면 윤곽을 따라 얇게 콘포말하게 절연막을 형성한 후에 형성할 수도 있다. 이 경우, 상기 스트립 라인의 상부가 상기 강유전체 커패시터들의 상부보다 더 낮게 형성된다.

<35> 바람직한 실시예에 있어서, 상기 제 3 층간 절연막은 PSG(인도핑 유리막질), USG(도핑되지 않은 유리막질), PE-TEOS(플라즈마 인가 테트라에틸오르토 유리막질)을 포함하는 산화물 절연막 또는 이들의 조합막으로 형성된다.

<36> 상기 플레이트 라인은 도전성 막질이면 어느 것이나 가능하지만 바람직하게는 알루미늄이 사용된다. 본발명에 따르면, 비아홀을 형성할 필요가 없기 때문에 고온 공정을

필요로 하는 알루미늄 리플로 공정 보다는 알루미늄을 스퍼터링 방법으로 형성 하는 것이 좀 더 바람직하다.

<37> 바람직한 실시예에 있어서, 상기 제 3 층간 절연막 평탄화 이후, 상기 강유전체 커패시터 상부전극 표면을 세정하기 위해 아르곤 스퍼터링을 더 진행한다.

<38> 본발명에 따르면, 플레이트 라인이 비아홀 공정을 거치지 않고 직접 강유전체 커패시터 상부전극에 접촉하도록 형성됨으로써, 이들 사이의 안정적인 콘택 저항을 확보할 수 있다. 또한 비아홀 공정에 따른 사진.식각 공정이 필요없기 때문에, 공정을 단순화할 수 있으며, 더 나아가서 사진.식각 공정에 따른 여러 문제점인 비아홀의 불완전한 열림, 플레이트 라인 및 스트립 라인 사이의 전기적 연결 등을 피할 수 있다.

<39> 본발명은 강유전체 커패시터 형성 방법, 좀 더 구체적으로는 강유전체 상부전극에 전기적으로 연결되는 플레이트 라인 형성 방법에 관한 것이다. 본발명에 따르면, 상부전극과 플레이트 라인이 절연막을 내에 형성된 콘택을 통하지 않고 직접 서로 접촉하여 전기적으로 연결되는 것을 특징으로 한다.

<40> 이하 첨부된 도면을 참조하여 본발명의 바람직한 실시예를 상세하게 설명한다.

<41> 먼저 도 4에서 부터 도 11를 참조하여 본발명의 일실시예를 설명한다. 도 4를 참조하면, 반도체 기판(400) 상에 통상적인 소자분리 공정에 따라 활성영역(미도시)을 정의하고, 통상의 CMOSFET(complementary metal oxide semiconductor field effect transistor)공정을 진행하여 소스/드레인 및 게이트 전극으로 이루어진 트랜지스터를 형성한다. 구체적으로 소자 분리 공정을 완료한 후, 게이트 산화막(402)을 형성하고 게이트 전극용 도전막을 형성하고 패터닝하여 다수의 게이트 전극(또는 라인)을 형성한다.

도면에는 도의 간략화를 위해 단지 두개의 게이트 라인(404)만이 도시되어 있다. 상기 게이트 라인(404)은 폴리실리콘, 텅스텐, 텅스텐 실리사이드 또는 이들의 조합막으로 형성할 수 있다. 상기 게이트 라인(404)은 워드라인으로 작용한다. 상기 게이트 라인(404) 형성후 통상적인 이온주입 공정을 진행하여 소스/드레인 영역(406a, 406b)을 형성하여 트랜지스터를 완성한다. 다음, 상기 트랜지스터를 포함하여 상기 반도체 기판(400) 상에 상부가 평탄한 제 1 층간 절연막(408)을 형성한다. 상기 제 1 층간 절연막(408)은 예를 들어 보론 및 인 불순물을 포함하는 유리막질(BPSG; borophosphosilicate glass)로 형성될 수 있다. 다음, 상기 제 1 층간 절연막(408)을 패터닝 하여 상기 트랜지스터의 소스 영역(406a)을 노출시키는 콘택홀(410)을 형성하고 상기 콘택홀(410) 및 상기 제 2 층간 절연막(408) 상에 비트라인용 도전물질을 형성한다. 계속 해서 상기 도전물질을 패터닝 하여 비트라인(412)을 형성한다. 상기 비트라인(412)은 예를 들면 텅스테어로 형성된다. 다른 방법으로 콘택홀(410)을 채우는 비트라인 콘택 플러그를 형성한 후 상기 비트라인 콘택 플러그에 전기적으로 접속하는 비트라인을 형성할 수 도 있다. 비트라인(412) 형성 후 이를 절연시키기 위해 제 2 층간 절연막(414)이 형성된다. 상기 제 2 층간 절연막(414)은, 예를 들어 BPSG막으로 형성될 수 있다.

<42> 다음, 공정은 강유전체 커패시터 형성 공정으로서 도 5에 개략적으로 도시되어 있다. 구체적으로, 상기 제 2 층간 절연막(414) 및 제 1 층간 절연막(408)을 패터닝하여 상기 드레인 영역(406b)을 노출시키는 콘택홀을 형성한다. 이어서 상기 콘택홀을 채우도록 상기 제 2 층간 절연막(414) 상에 도전물질 예를 들어 폴리실리콘을 형성한다. 다음 상기 도전물질을 평탄화 하여 커패시터 콘택 플러그(416)를 형성한다. 여기서 상기 도전물질 및 제 2 층간 절연막의 평탄화가 동시에 진행된다. 즉, 제 2 층간 절연막의

평탄화와 동시에 콘택 플러그(416)가 형성된다. 제 2 층간 절연막(414)의 평탄화는 후속 강유전체 물질막의 양호한 증착 특성, 즉 균일한 강유전체 물질막 두께를 확보하기 위해서 필요하다. 강유전체 콘택 플러그(416) 형성 후, 상기 콘택 플러그(416)에 전기적으로 접속하는 강유전체 커패시터(424)가 형성된다. 먼저, 하부전극막, 강유전체막 및 상부전극막이 순차적으로 형성되고, 상기 콘택 플러그(416)와 전기적으로 접속하도록 상기 상부전극막, 강유전체막 및 하부전극막을 패터닝하여 셀 단위로 분리된 하부전극(418), 강유전체막(420) 및 상부전극(422)으로 이루어진 강유전체 커패시터(424)를 형성한다. 하부전극(418)으로는 백금(Pt) 등의 전도성 금속이나 이리듐 이산화막(IrO<sub>2</sub>) 등의 전도성을 갖는 산화물 전극 또는 이들의 조합막으로 형성될 수 있다. 강유전체막(420)으로는 PZT, SBT, BLT 또는 강유전물질의 조합의 복합층 등으로 형성된다. 예를 들어, PZT의 경우 솔-젤 방법에 의해 증착한 후 열처리를 통해 형성한다. 상부전극(422)으로는 이리듐(Ir), 루세늄(Ru), 백금 등의 전도성 금속이나, 이리듐 이산화막 등의 전도성 산화물 전극 또는 이들의 조합막으로 형성될 수 있다.

<43> 다음 도 6을 참조하면, 셀 단위로 분리된 강유전체 커패시터(424) 형성후, 제 3 층간 절연막(426)을 형성한다. 상기 제 3 층간 절연막(426)은 예를 들어, 도핑되지 않은 유리막질(USG:undoped silicate glass), 인도핑 유리막질(phosphorous silicate glass), 플라즈마 인가-테트라에틸오르토 유리막질(plasma enhanced tetraethylorthosilicate glass) 등으로 형성될 수 있다. 또는 절연성을 가지는 여러 막질의 조합막으로도 형성 가능하다.

<44> 다음 도 7을 참조하면, 종래와 달리 상기 제 3 층간 절연막(426) 내에 비아홀을 형성하지 않고, 상기 제 3 층간 절연막(426)에 대해서 평탄화 공정을 진행한다. 상기 평

탄화 공정은 에치백 또는 물리화학적 연마(chemical mechanical polishing) 등에 의해 진행할 수 있으며, 상기 상부전극(422) 상부가 나타날 때 까지 진행한다. 이어서 평탄화 공정을 받은 상부전극 상부를 세정하기 위해 아르곤 스퍼터링 공정을 진행하여 상부전극의 콘택 저항 특성을 향상시킨다.

<45> 다음 도 8을 참조하면, 노출된 상부전극(422) 및 제 3 층간 절연막(426) 상에 플레이트 라인용 도전물질(428)이 형성된다. 상기 도전물질(428)은 전도성을 가지는 물질이면 어느 것이든지 족하다. 전기전도성이 우수한 알루미늄으로 형성되는 것이 바람직하다. 알루미늄으로 형성할 경우, 스퍼터링에 의해서 형성하는 것이 더 바람직하다. 스퍼터링 방법은 고온 리플로 공정이 필요치 않기 때문에 이미 형성된 강유전체막의 고온열처리로 인한 특성 열화를 피할 수 있다. 종래의 경우 비아홀을 형성하였기 때문에 알루미늄으로 플레이트 라인을 형성할 겨우 좁기 깊은 비아홀을 채우기 위해서는 증착 및 고온 리플로 공정은 진행하였으며, 이로 인해 이미 형성된 강유전체막이 열처리에 의해 열화되는 경향이 있었다.

<46> 이어서, 도 9에 나타난 바와 같이, 상기 도전물질(428)을 패터닝하여 노출된 상기 강유전체 상부전극(422)에 직접 접촉하는 플레이트 라인(430)을 형성한다. 도식된 바와 같이 상부전극(422)의 전면이 플레이트 라인(430)과 직접 접하게 되기 때문에, 이들 사이의 콘택 저항을 안정적으로 확보할 수 있다.

<47> 다음 공정은 선택적인 스트립 라인(stripe line) 공정으로 도 10 및 도 11에 개략적으로 도시되어져 있다. 스트립 라인은 텅스텐 실리사이드 등으로 형성되는 게이트 라인, 즉 워드라인의 전도성을 향상시키기 위해 워드라인에 평행하게 형성하는 전도성 라인이다. 구체적으로 도 10을 참조하면, 플레이트 라인(430)이 형성



된 결과물 상에 금속간 절연막(IMD:intermetal dielectric, 432)을 형성한다. 예를 들어, 상기 금속간 절연막(432)은 USG, PSG, PE-TEOS 등으로 형성할 수 있다. 상기 금속간 절연막(432), 제 3, 제 2, 및 제 1 층간 절연막의 소정 부분을 식각하여 상기 워드라인의 소정 부분을 노출시키는 홈을 형성하고 이후 스트립 라인용 도전물질, 바람직하게는 알루미늄을 형성하고, 패터닝 하여 플레이트 라인(430)과 전기적으로 절연된 스트립 라인(434)을 도 11에 도시된 바와 같이 형성한다.

<48>        상술한 본발명의 일실시예에 따르면, 플레이트 라인이 콘택을 통하지 않고, 강유전체 커패시터 상부전극과 직접 접촉하여 전기적으로 연결되며, 또한 상부전극의 상부 전면이 접한다. 따라서 상부전극 및 플레이트 라인 사이의 안정적인 콘택 저항을 확보할 수 있다.

<49>        다음 도 12에서 부터 도 15를 참조하여 본발명의 다른 실시예를 설명한다. 도 4에서 부터 도 11에 나타난 구성요소와 동일한 기능을 가지는 구성요소에 대해서는 동일한 참조번호를 병기하였고 이들에 대한 자세한 설명은 생략한다. 본실시예가 상술한 실시예와 다른 점은, 플레이트 라인과 스트립 라인 형성의 공정 순서가 바뀌어 진행되는 데 있다. 즉, 본실시예에 있어서는 스트립 라인이 플레이트 라인보다 먼저 형성된다. 구체적으로 도면을 참조하여 설명하면, 먼저 도 12에 나타난 바와 같이, 강유전체 커패시터를 셀단위로 분리한 후(도 5참조) 콘포말한 절연막(425)을 형성한다. 즉 상기 절연막은 제 2 층간 절연막(414) 및 강유전체 커패시터(424)에 의해 형성되는 표면 윤곽을 따라 콘포말하게 형성된다.

<50>        다음 도 13을 참조하면, 상기 절연막(425), 제 2, 및 제 1 층간 절연막의 소

정 부분을 식각하여 상기 워드라인의 소정 부분을 노출시키는 홀을 형성하고 이후 스트립 라인용 도전물질, 바람직하게는 알루미늄을 형성하고, 패터닝 하여 스트립 라인(434)을 형성한다. 이때 상기 스트립 라인(434)의 상부는 상기 강유전체 커패시터의 상부전극(422)의 상부보다 낮게 형성된다.

<51> 다음 도 14를 참조하면, 상기 스트립 라인(436) 및 상기 절연막(425) 상에 상기 스트립 라인(436)을 절연하기 위한 제 3 층간 절연막(426)을 형성하고 상기 강유전체 커패시터 상부전극이 나타날 때까지 평탄화 공정을 진행한다.

<52> 다음 도 15에 나타난 바와 같이 상기 노출된 상부전극(422) 및 제 3 층간 절연막(426) 상에 플레이트 라인용 도전물질(428), 예를 들어 전기전도성이 우수한 알루미늄을 형성하고 상기 도전물질(428)을 패터닝하여 노출된 상기 강유전체 상부전극(422)에 직접 접촉하는 플레이트 라인(430)을 형성한다. 도시된 바와 같이 상부전극(422)의 전면이 플레이트 라인(430)과 직접 접하게 되기 때문에, 이들 사이의 콘택 저항을 안정적으로 확보할 수 있다. 종래와 달리 플레이트 라인 형성을 위한 비아홀 패터닝 공정이 필요치 않기 때문에 오정렬에 따른 플레이트 라인 및 스트립 라인이 전기적으로 연결되는 것을 방지할 수 있다.

<53> 바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함한다. 비록 강유전체 커패시터가 비트라인 상부에 형성되는 구조에 대해서 실시예를 설명하였지만, 강유전체 커패시터가 비트라인 하부에 형성되는 경우에도 적용될 수 있다. 본발명은 강유전체 상부전극이 플레이트 라인에 연결되어야 하는 모든 강유전체 기억소자 형성 방법에

적용될 수 있다. 따라서 본 발명의 청구범위의 진정한 범위 및 사상은 다양한 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

**【발명의 효과】**

- <54> 따라서 상술한 본발명에 따르면, 플레이트 라인이 강유전체 직접 접촉하여 전기적으로 연결되기 때문에(상부전극에 절연막에 형성된 콘택에 의하지 않고), 비아홀 형성에 따른 불완전 열림, 오정렬에 따른 스트립 라인과 플레이트 라인 사이의 전기적 연결 현상등을 방지할 수 있다.
- <55> 또한 강유전체 상부전극과 플레이트 라인이 직접 접촉하고 또한 상부전극의 전면이 플레이트 라인에 접할 수 있기때문에, 이들 사이의 안정적인 콘택 저항을 확보할 수 있다.
- <56> 또한 비아홀이 형성되지 않아 플레이트 라인 형성에서 알루미늄을 고온 리플로 공정으로 형성하지 않을 수도 있으며, 이경우 강유전체막이 고온 열처리로 인해 열화되는 것을 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 하부막질을 형성하는 단계와;

상기 하부막질 상에 상기 하부막질의 소정 영역을 통해 상기 반도체 기판과 전기적으로 접속하는 하부전극, 강유전체막 및 상부전극으로 이루어진 강유전체 커패시터를 형성하는 단계와;

상기 강유전체 커패시터 및 상기 하부막질 상에 상부막질을 형성하는 단계와;

상기 강유전체 커패시터 상부전극이 노출될 때 까지 상기 상부막질을 평탄화 식각하는 단계와;

상기 강유전체 상부전극 및 상기 평탄화된 상부막질 상에 도전막질을 형성하는 단계와;

상기 도전막질을 패터닝 하여 상기 강유전체 상부전극과 직접 접촉하는 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 하부막질을 형성하는 단계는,

상기 반도체 기판 상에, 게이트 전극 및 그 양측의 소스/드레인 영역으로 이루어진 트랜지스터를 형성하는 단계와;

상기 트랜지스터 상에 제 1 층간 절연막을 형성하는 단계와;

상기 제 1 층간절연막 상에 상기 드레인 영역에 전기적으로 연결되는 비트라인을 형성하는 단계와;

상기 비트라인 및 제 1 층간절연막 상에 제 2 층간절연막을 형성하는 단계로 이루어 지며,

이때, 상기 강유전체 커패시터의 하부전극은 상기 제2 층간절연막 및 상기 제1 층간절연막 내의 소정 영역에 형성된 콘택 플러그를 통해 상기 드레인 영역과 전기적으로 연결되도록 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

#### 【청구항 3】

제 1 항에 있어서,

상기 상부막질 상에 금속간 절연막(IMD)을 형성하는 단계와;

상기 금속간 절연막 상에 상기 게이트 전극의 전도성을 향상시키기 위해 게이트 전극에 전기적으로 접속하는 스트립 라인(stripe line)을 더 형성하는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

#### 【청구항 4】

제 1 항에 있어서,

상기 상부막질 형선 전에, 상기 강유전체 커패시터 및 상기 제 2 층간 절연막에 의해 형성되는 표면 윤곽을 따라 콘포말하게 절연막을 형성하는 단계와;

상기 강유전체 커패시터 사이의 상기 절연막 상에 상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인을 형성하는 단계를 포함하되,

상기 스트립 라인의 상부는 상기 강유전체 커패시터의 상부 보다 높이가 낮게 형성되는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

【청구항 5】

제 1 항에 있어서,

상기 상부막질 평탄화 식각후, 상기 강유전체 커패시터의 상부전극의 표면을 세정하기 위해 아르곤 스퍼터링을 더 진행하는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

【청구항 6】

반도체 기판 상에 게이트 전극 및 그 양측의 소스/드레인 영역으로 이루어진 적어도 두개 이상의 트랜지스터를 형성하는 단계와;

상기 트랜지스터들 상에 제 1 층간 절연막을 형성하는 단계와;

상기 제 1 층간 절연막을 관통하는 비트라인 콘택 플러그를 통해 상기 소스 영역과 전기적으로 접속하는 비트라인을 상기 제 1 층간 절연막 상에 형성하는 단계와;

상기 비트라인 상에 제 2 층간 절연막을 형성하는 단계와;

상기 제 2 층간 절연막 및 제 1 층간 절연막을 관통하여 상기 각 드레인 영역에 전기적으로 접속하는 강유전체 콘택 플러그를 각각 형성하는 단계와;

상기 강유전체 콘택 플러그들 및 상기 제 2 층간 절연막 상에 하부전극, 강유전체 막 및 상부전극으로 이루어진 강유전체 커패시터를 상기 강유전체 콘택 플러그들에 전기적으로 접속하도록 각각 형성하는 단계와;

상기 강유전체 커패시터들 및 상기 제 2 층간 절연막 상에 제 3 층간절연막을 형성하는 단계와;

상기 강유전체 커패시터 상부전극들이 나타날 때까지 상기 제 3 층간 절연막을 평탄화 식각하는 단계와;

상기 평탄화된 제 3 층간 절연막 및 상기 강유전체 상부전극들 상에 플레이트 라인용 도전막을 형성하는 단계와;

상기 도전막을 패터닝하여 상기 강유전체 상부전극들에 직접 접촉하는 플레이트 라인을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

#### 【청구항 7】

제 6 항에 있어서,

상기 플레이트 라인들 및 상기 평탄화된 제 3 층간 절연막 상에 금속간 절연막을 형성하는 단계와;

상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인을 상기 제 3 층간 절연막 상에 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

#### 【청구항 8】

제 6 항에 있어서,

상기 강유전체 커패시터들 형성 후 그리고 상기 제 3 층간 절연막 형성 전에 상기 강유전체 커패시터들 및 상기 평탄화된 제 2 층간절연막으로 이루어진 표면 윤곽을 따라 얇게 콘포말하게 절연막을 형성하는 단계와;

상기 게이트 전극들의 전도성을 향상시키기 위해 상기 강유전체 커패시터 사이의 공간에 형성된 상기 절연막 상에 스트립 라인을 형성하는 단계를 더 포함하되, 상기 스트립 라인의 상부가 상기 강유전체 커패시터들의 상부보다 더 낮게 형성되는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

**【청구항 9】**

제 6 항에 있어서,

상기 제 3 층간 절연막은 PSG(인도핑 유리막질), USG(도핑되지 않은 유리막질), PE-TEOS(플라즈마 인가 테트라에틸오르토 유리막질)을 포함하는 산화물 절연막 또는 이들의 조합막으로 형성되는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

**【청구항 10】**

제 6 항에 있어서,

상기 플레이트 라인은 스퍼터링 방법에 의한 알루미늄으로 형성되는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

**【청구항 11】**

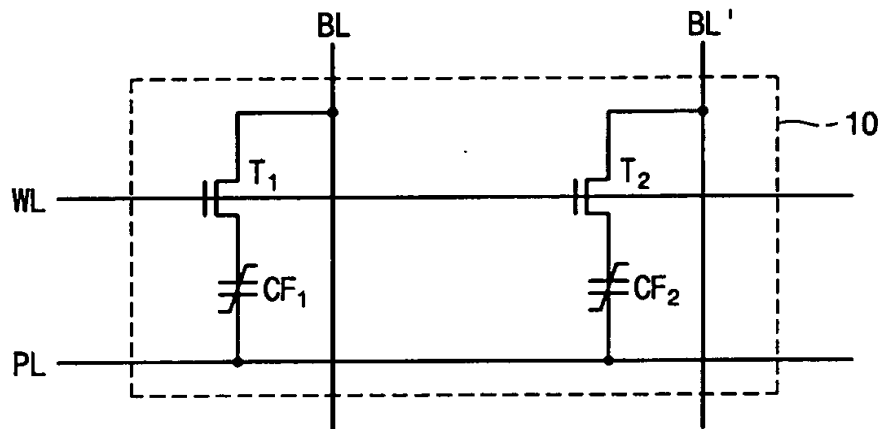
제 6 항에 있어서,

상기 제 3 층간 절연막 평탄화 이후, 상기 강유전체 커패시터 상부전극 표면을 세정하기 위해 아르곤 스퍼터링을 더 진행하는 것을 특징으로 하는 강유전체 기억소자 형성 방법.

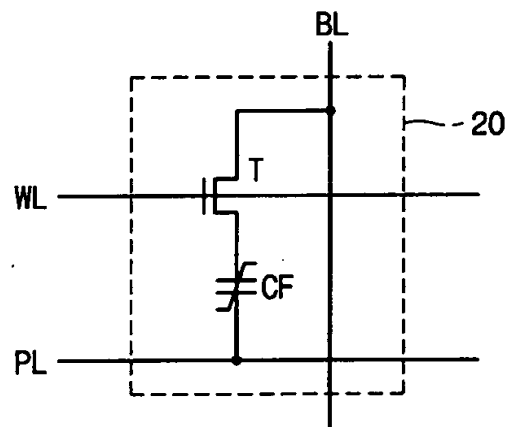


【도면】

【도 1】

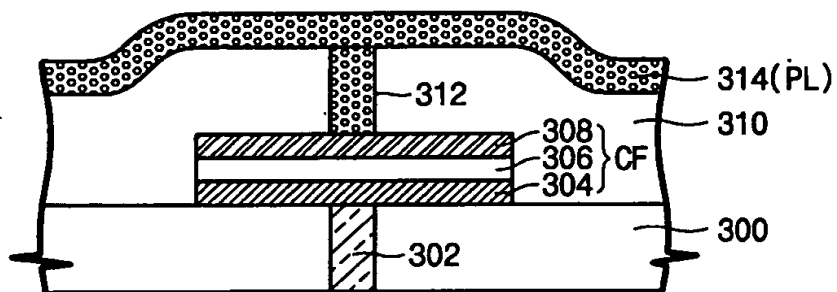


【도 2】

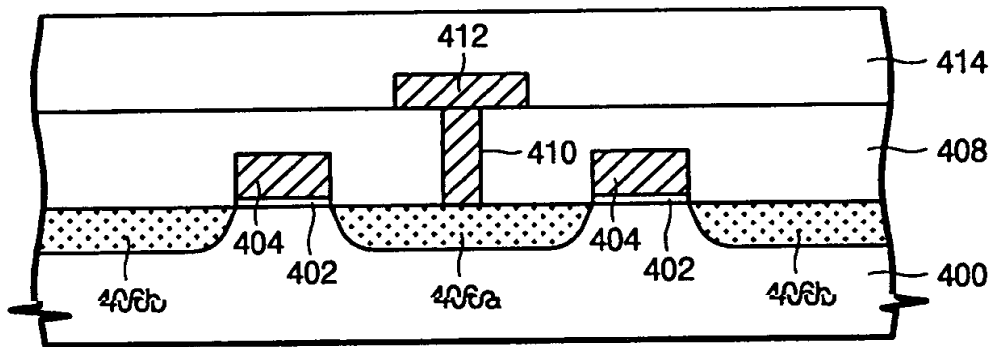


【도 3】

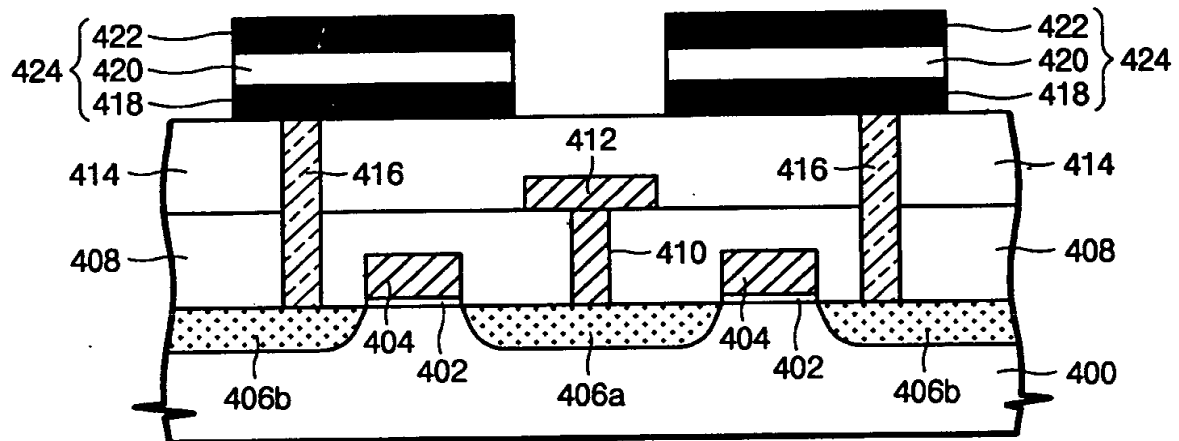
(종래 기술)



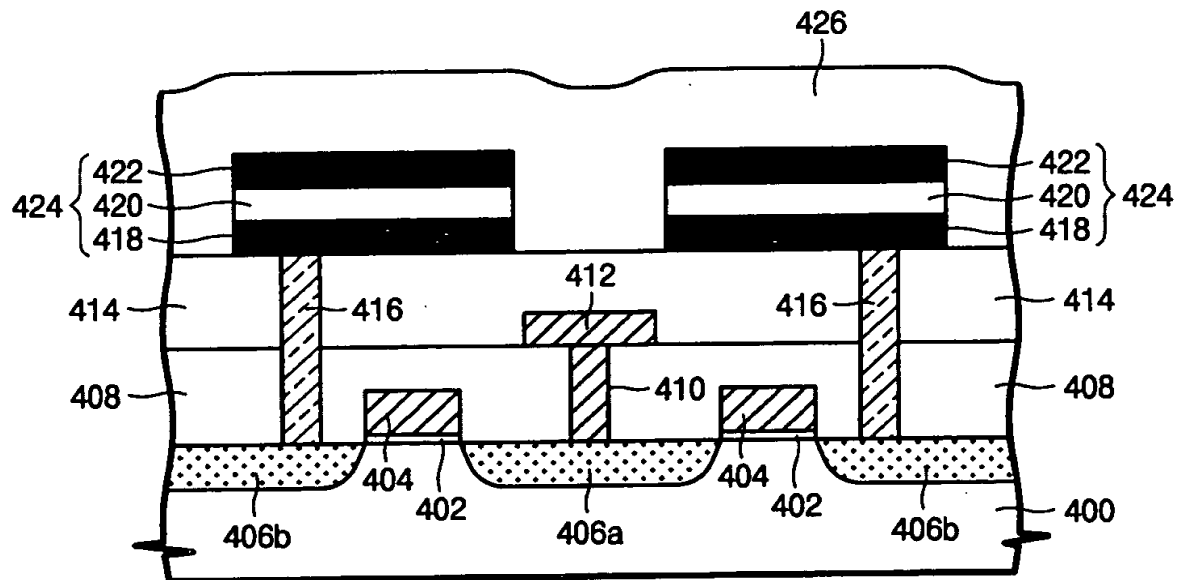
【도 4】



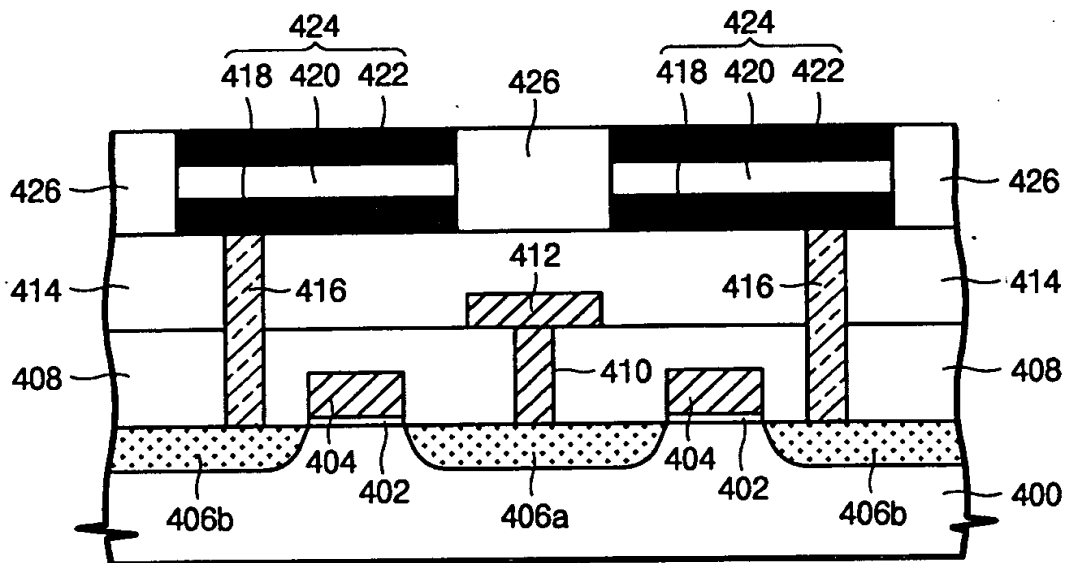
【도 5】



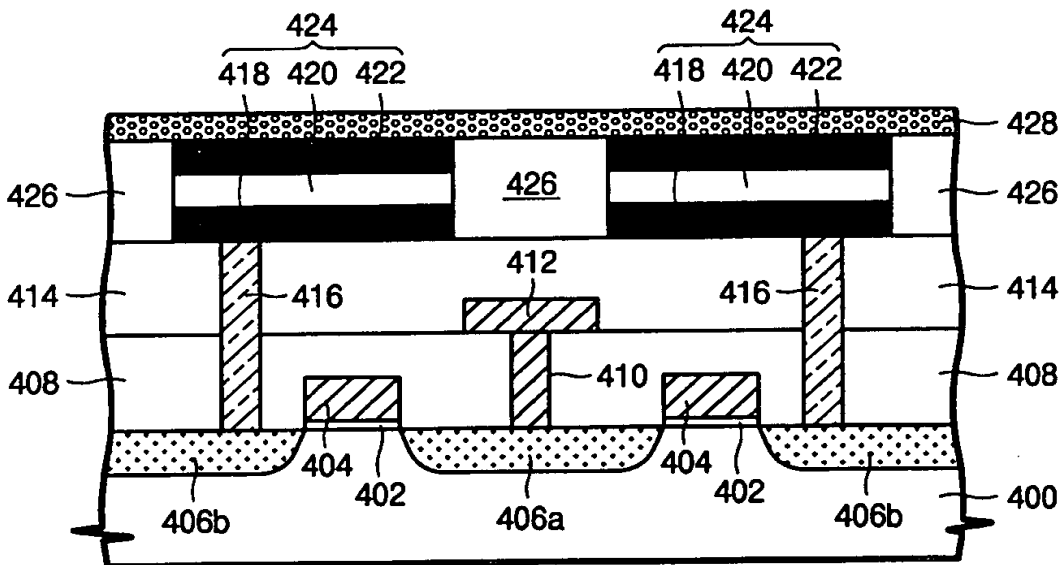
【도 6】



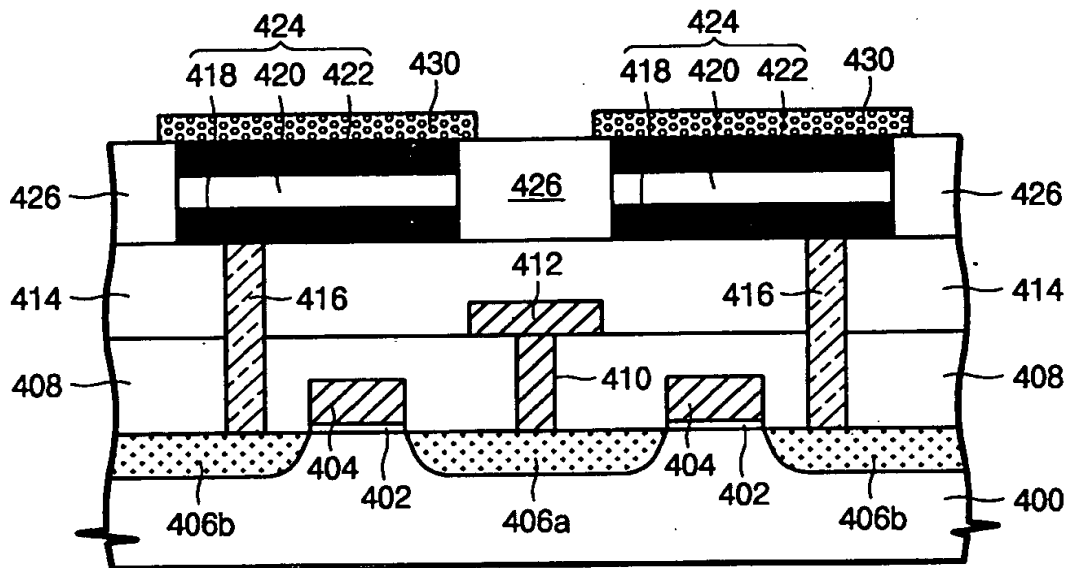
【도 7】



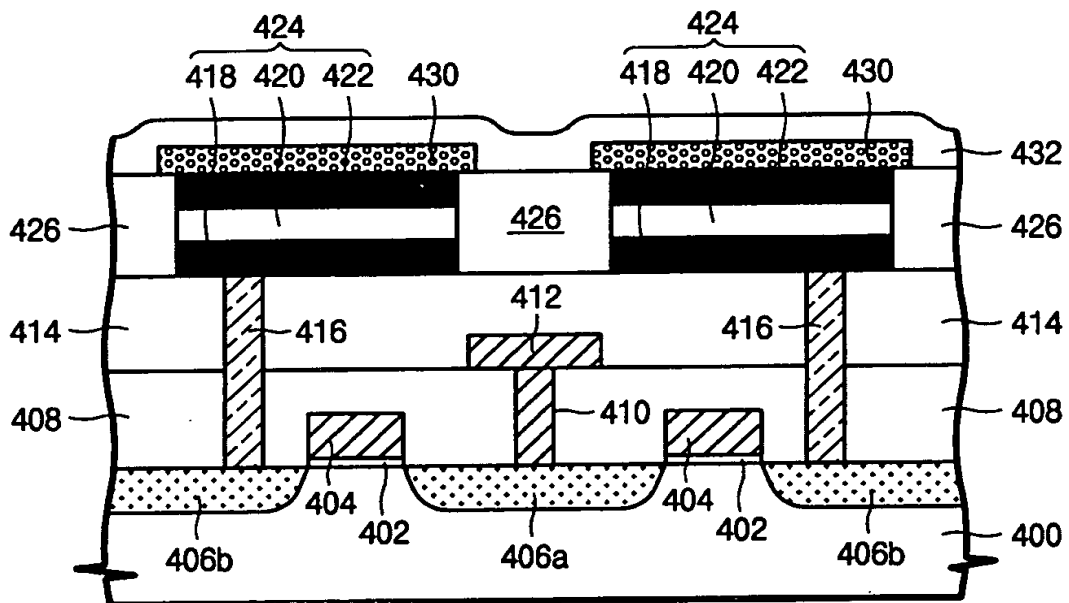
【도 8】



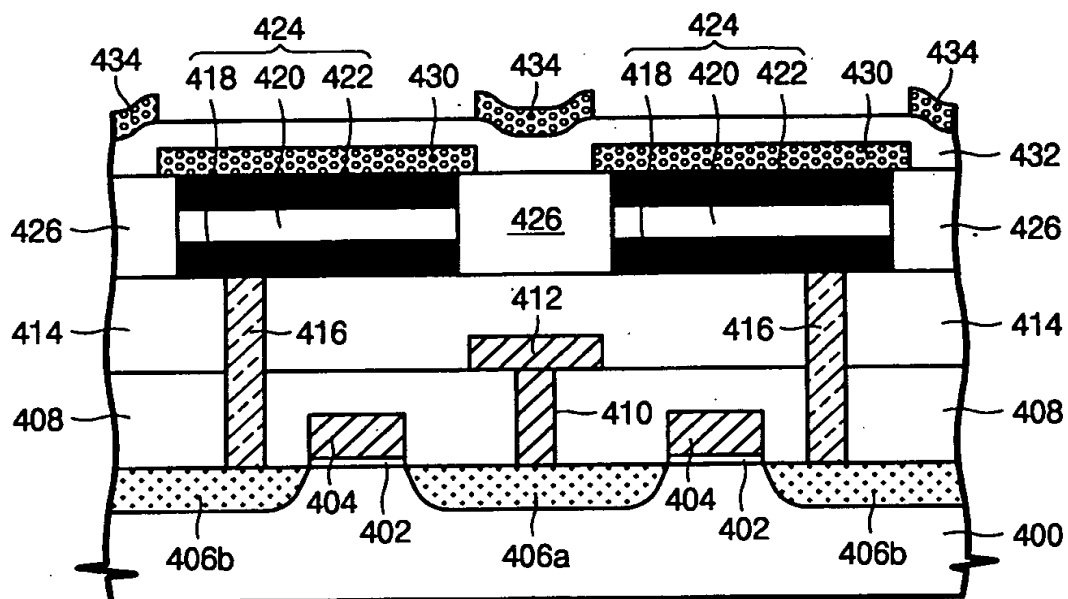
【도 9】



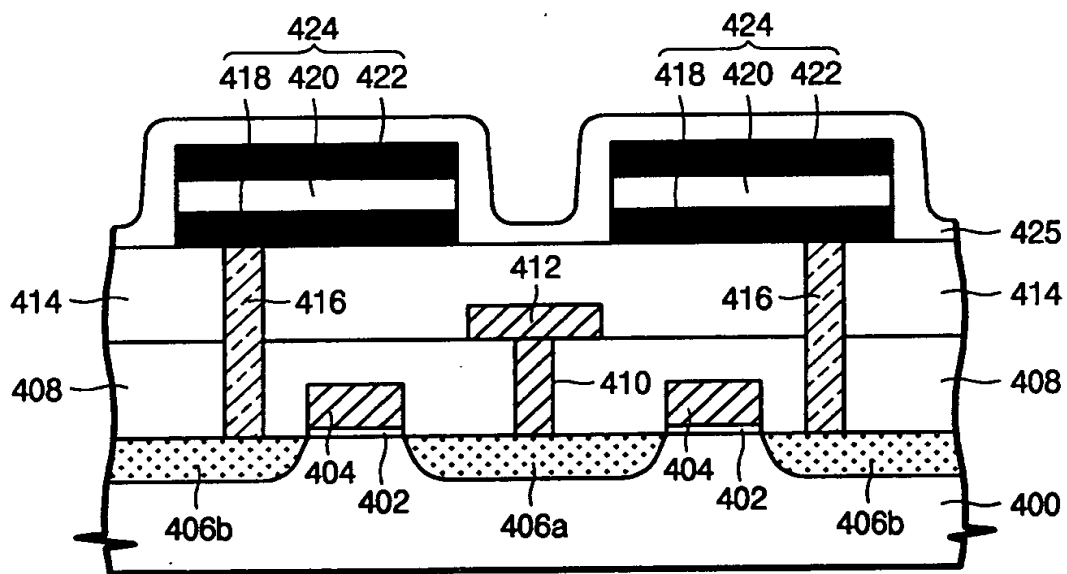
【도 10】



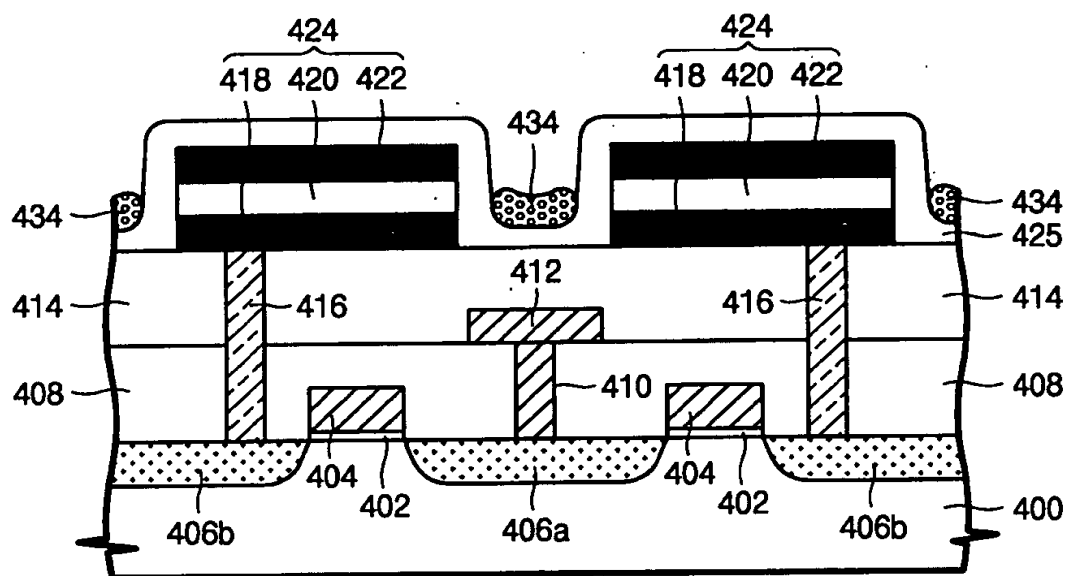
【図 11】



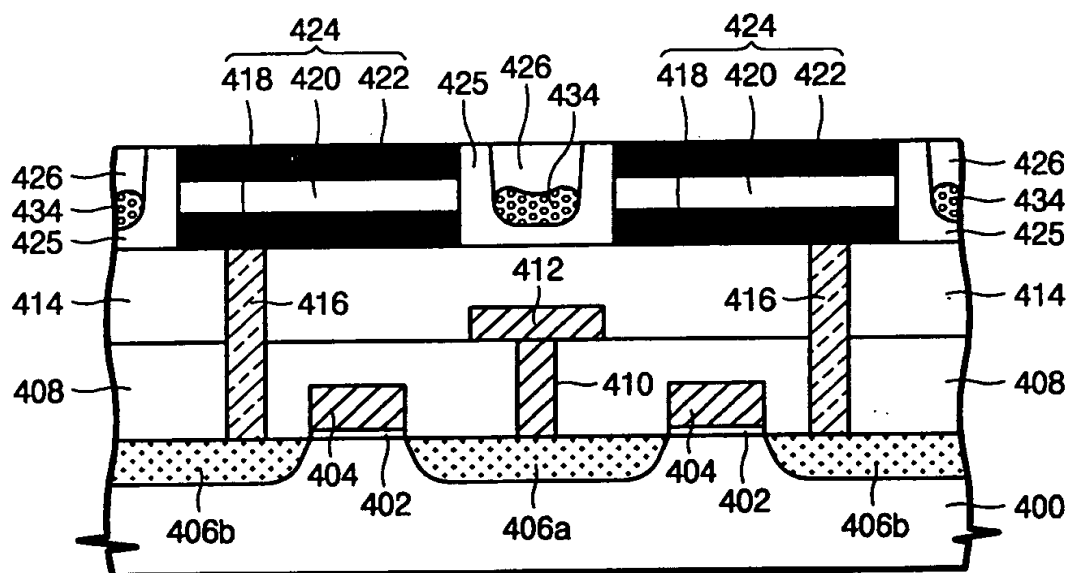
【図 12】



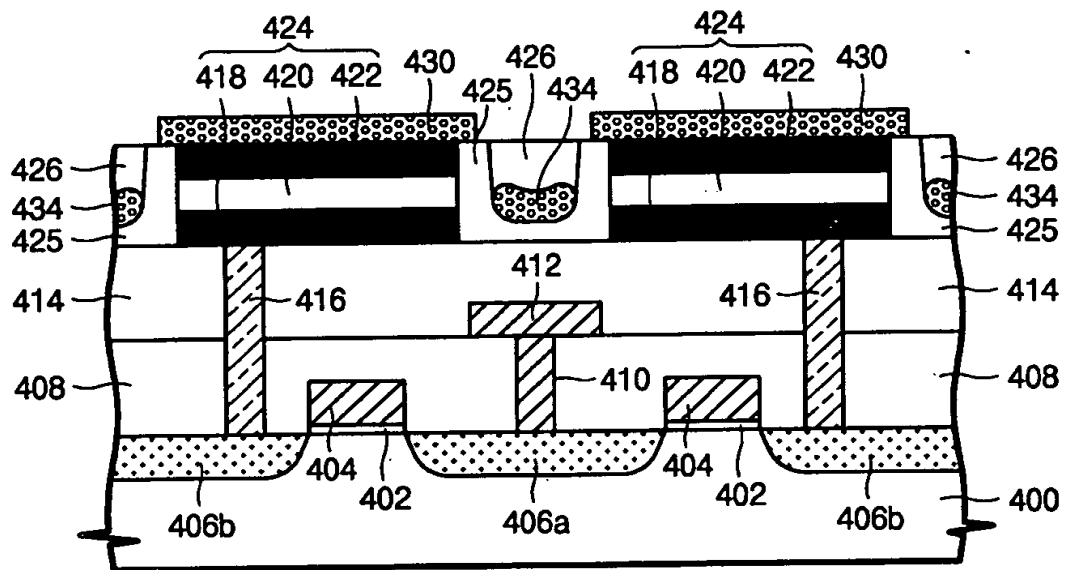
【図 13】



【図 14】



【도 15】



|            |  |
|------------|--|
| 【서류명】      | 명세서 등 보정서  |
| 【수신처】      | 특허청장   |
| 【제출일자】     | 2001.02.03   |
| 【제출인】      |  |
| 【명칭】       | 삼성전자 주식회사  |
| 【출원인코드】    | 1-1998-104271-3  |
| 【사건과의 관계】  | 출원인  |
| 【대리인】      |  |
| 【성명】       | 임창현  |
| 【대리인코드】    | 9-1998-000386-5  |
| 【포괄위임등록번호】 | 1999-007368-2  |
| 【대리인】      |  |
| 【성명】       | 권혁수  |
| 【대리인코드】    | 9-1999-000370-4  |
| 【포괄위임등록번호】 | 1999-056971-6  |
| 【사건의 표시】   |  |
| 【출원번호】     | 10-2001-0005147  |
| 【출원일자】     | 2001.02.02   |
| 【심사청구일자】   | 2001.02.02   |
| 【발명의 명칭】   | 강유전체 기억소자 형성 방법  |
| 【제출원인】     |  |
| 【접수번호】     | 1-1-01-0023097-17  |
| 【접수일자】     | 2001.02.02   |
| 【보정할 서류】   | 명세서등   |
| 【보정할 사항】   |  |
| 【보정대상 항목】  | 별지와 같음   |
| 【보정방법】     | 별지와 같음   |
| 【보정내용】     | 별지와 같음   |
| 【취지】       | 특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인<br>임창현 (인) 대리인<br>권혁수 (인) |



1020010005147

출력 일자: 2001/7/24

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【보정대상항목】 요약

【보정방법】 정정

【보정내용】

본발명은 강유전체 기억 소자 형성 방법에 관한 것으로서, 콘택을 통하지 않고 직접 강유전체 상부전극에 접촉하여 전기적 접속이 이루어지는 플레이트 라인 형성 방법을 제공한다. 강유전체 커패시터 형성 후, 절연막을 증착하고 평탄화 한다. 이때 평탄화 공정은 강유전체 커패시터 상부전극이 노출될 때까지 진행되며, 이후 플레이트 전극용 도전막을 형성하고 패터닝하여 강유전체 커패시터 상부전극에 직접 접촉하는 플레이트 라인을 형성한다.

따라서 플레이트 라인 및 강유전체 커패시터 상부전극 사이의 안정적이 콘택저항을 확보할 수 있다.

【보정대상항목】 발명의 명칭

【보정방법】 정정

【보정내용】

강유전체 기억 소자 형성 방법{METHOD OF FABRICATING A FERROELECTRIC MEMORY DEVICE}

【보정대상항목】 식별번호 1

【보정방법】 정정

【보정내용】

도 1은 2T/2C 강유전체 기억 소자의 등가회로이다.

【보정대상항목】 식별번호 2

【보정방법】 정정

【보정내용】

도 2는 1T/1C 강유전체 기억 소자의 등가회로이다.

【보정대상항목】 식별번호 3

【보정방법】 정정

【보정내용】

도 3은 종래 강유전체 기억 소자 형성 방법에 따른 강유전체 커패시터 및 플레이트 라인을 개략적으로 나타내는 반도체 기판의 부분적인 단면도이다.

【보정대상항목】 식별번호 4

【보정방법】 정정

【보정내용】

도 4에서 부터 도 11은 본발명의 일실시예에 따른 강유전체 기억 소자 형성 방법을 공정 순서에 따라 나타내는 반도체 기판의 부분적인 단면도이다.

【보정대상항목】 식별번호 5

【보정방법】 정정

【보정내용】

도 12에서 부터 도 15는 본발명의 다른 실시예에 따른 강유전체 기억 소자 형성 방법을 공정 순서에 따라 나타내는 반도체 기판의 부분적인 단면도이다.

【보정대상항목】 식별번호 18

【보정방법】 정정

【보정내용】

기억 소자(memory devices)는 크게 휘발성(volatile) 기억 소자 및 불휘발성(non-volatile) 기억 소자로 나눌 수 있다. 불휘발성 기억 소자는 전원공급이 중단되더라도 저장된 데이터를 잃어버리지 않고 그대로 간직하고 있는 기억 소자이다. 이러한 불휘발성 기억 소자로서 플래쉬 메모리, 자기 태입, 자기 플로피 디스크 등이 있다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

한편 휘발성 기억 소자는 전원공급이 중단되면 저장된 데이터를 잃어버리는 기억 소자이다. 이러한 휘발성 기억 소자로는 에스램(SRAM:static random access memory)과 디램(DRAM:dynamic random access memory)이 있다. 디램은 1T/1C 구조로서 그 집적도가 매우 높다. 하지만 디램의 경우 저장된 데이터를 유지하기 위해서는 주기적인 리프레쉬 동작이 필요하다.

【보정대상항목】 식별번호 20

【보정방법】 정정

【보정내용】

그런데, 강유전체 재료가 상부전극 및 하부전극 사이에 형성되면 디램 구조의 커패시터 메모리 셀로서 사용이 가능하다. 이를 강유전체 기억 소자 (FRAM: ferroelectric

memory device)라 하며, 이러한 강유전체 기억 소자는 불휘발성 특성을 나타낸다. 잘 알려진 바와 같이, 강유전체 기억 소자는 서로 다른 두 개의 안정된 분극 상태를 가지는데, 이러한 분극 상태는, 인가된 전압의 방향에 따라 극성 상태가 반전되며 인가된 접압을 제거하여도 분극 상태를 계속 유지한다.

【보정대상항목】 식별번호 21

【보정방법】 정정

【보정내용】

상술한 바와 같이 강유전체 기억 소자는, 플래시메모리(flash memory) 같이 불휘발성 특성, 상대적으로 낮은 전압(약 5V이하)에서의 쓰기(writing)가 가능하며(플래시 메모리의 경우 18-22V), 우수한 동작속도(수십 nsec, 약 40nsec 이하)(플래시 메모리의 경우 수msec), 뛰어난 내성, 낮은 소비 전력으로(대기 전류가 약 1마이크로암페어 이하) 동작이 가능한 장점을 가지고 있다.

【보정대상항목】 식별번호 22

【보정방법】 정정

【보정내용】

도 1 및 도 2는 각각 2T/2C 강유전체 기억 소자(10) 및 1T/1C 강유전체 기억 소자(20)의 등가회로를 나타내고 있다. 여기서 2T/2C 기억 소자란, 하나의 데이터 상태를 저장하기 위해 두개의 트랜지스터 및 두개의 커패시터가 사용되는 기억 소자이며, 1T/1C는 하나의 트랜지스터 및 하나의 커패시터가 사용되는 경우이다. 2T/2C 강유전체 기억 소자(10)는 제1강유전체 커패시터(CF1)에 연결된 제1트랜지스터(T1), 제2강유전체 커패

시터(CF2)에 연결된 제2트랜지스터(T2)를 포함하고 있다. 제1 및 제2강유전체 커패시터는 서로 상보적인 극성 상태를 가지며, 기억 소자의 하나의 데이터 상태를 정의한다. 플레이트 라인(PL)은 강유전체 커패시터 CF1, CF2의 일측에 연결되며 두 트랜지스터 T1, T2의 게이트에 연결된 워드라인(WL)에 평행하게 달린다. 서로 상보적인 비트라인(BL, BL')이 각각 트랜지스터(T1 및 T2)의 타측에 연결된다.

【보정대상항목】 식별번호 23

【보정방법】 정정

【보정내용】

한편 1T/1C 강유전체 기억 소자(20)는 하나의 트랜지스터(T) 및 그 일측의 터미널(소스 영역 또는 전극)에 연결된 강유전체 커패시터(CF)로 구성된다. 하나의 워드라인(WL)이 상기 트랜지스터(T)의 게이트에 연결되고, 하나의 비트라인(BL)이 상기 트랜지스터의 타측 터미널(드레인 영역 또는 전극)에 연결되고, 각 워드라인 당 개별적인 플레이트 라인(PL)이 강유전체 커패시터의 상부전극에 연결된다.

【보정대상항목】 식별번호 24

【보정방법】 정정

【보정내용】

상기 등가회로에 나타난 바와 같이, 강유전체 기억 소자는 소자 동작 특성상, 상부 전극에 펄스를 인가하여 데이터를 읽기/쓰기 동작을 하게 되어 있는데, 이를 위해 비아 홀을 통한 플레이트 라인이 필요하다. 도 3은 이러한 강유전체 커패시터의 단면도를 개략적으로 나타내고 있다. 도 3을 참조하여 종래 플레이트 라인 형성 방법을 설명한다.

먼저, 절연막 (300)을 뚫고 콘택 플러그(302)가 형성된다. 하부전극(304), 강유전체막 (306), 상부전극(308)으로 이루어진 강유전체 커패시터(CF)가 상기 콘택 플러그(302)에 전기적으로 연결되도록 형성된다. 상기 강유전체 커패시터(CF) 및 상기 절연막(300) 상에 다른 절연막(310)이 형성되고 상기 상부전극(308)에 전기적으로 연결되는 플레이트 라인(314)이 형성된다. 이때, 플레이트 라인(314)은 상기 다른 절연막의 소정 부분을 통해서 먼저 비아홀(312)을 형성하고 상기 비아홀(312) 및 다른 절연막(310) 상에 도전 물질을 증착하고 패터닝 하여 형성한다.

【보정대상항목】 식별번호 25

【보정방법】 정정

【보정내용】

그러나, 기억 소자의 고집적화로 인해 비아홀의 크기가 작아지고 강유전체 커패시터 상부에 형성되는 절연막의 두께가 두꺼워짐에 따라, 상부전극 크기가 감소하고 이에 따라 비아홀 크기 역시 감소하고, 비아홀 포토 마진이 감소하여 공정이 어려워지게 된다. 예를 들면, 비아홀이 완전히 열리지 않을 수 있다. 또한 위드라인의 전도성을 향상시키기 위해 스트립 라인(stripe line)을 형성 할 경우, 비아홀 포토 마진 감소에 따른 오정렬이 발생할 경우, 스트립 라인과 플레이트 라인 사이의 전기적인 연결이 발생할 수도 있다.

【보정대상항목】 식별번호 39

【보정방법】 정정

【보정내용】

본발명은 강유전체 커패시터 형성 방법, 좀 더 구체적으로는 강유전체 상부전극에 전기적으로 연결되는 플레이트 라인 형성 방법에 관한 것이다. 본발명에 따르면, 상부전극과 플레이트 라인이 절연막 내에 형성된 콘택을 통하지 않고 직접 서로 접촉하여 전기적으로 연결되는 것을 특징으로 한다.

【보정대상항목】 식별번호 41

【보정방법】 정정

【보정내용】

먼저 도 4에서 부터 도 11를 참조하여 본발명의 일실시예를 설명한다. 도 4를 참조하면, 반도체 기판(400) 상에 통상적인 소자분리 공정에 따라 활성영역(미도시)을 정의하고, 통상의 CMOSFET(complementary metal oxide semiconductor field effect transistor)공정을 진행하여 소스/드레인 영역 및 게이트 전극으로 이루어진 트랜지스터를 형성한다. 구체적으로 소자 분리 공정을 완료한 후, 게이트 산화막(402)을 형성하고 게이트 전극용 도전막을 형성하고 패터닝하여 다수의 게이트 전극(또는 라인)을 형성한다. 도면에는 도의 간략화를 위해 단지 두개의 게이트 라인(404)만이 도시되어 있다. 상기 게이트 라인(404)은 폴리실리콘, 텅스텐, 텅스텐 실리사이드 또는 이들의 조합막으로 형성할 수 있다. 상기 게이트 라인(404)은 워드라인으로 작용한다. 상기 게이트 라인(404) 형성후 통상적인 이온주입 공정을 진행하여 소스/드레인 영역(406a, 406b)을 형



성하여 트랜지스터를 완성한다. 다음, 상기 트랜지스터를 포함하여 상기 반도체 기판(400) 상에 상부가 평탄한 제 1 층간 절연막(408)을 형성한다. 상기 제 1 층간 절연막(408)은 예를 들어 보론 및 인 불순물을 포함하는 유리막질(BPSG; borophosphosilicate glass)로 형성될 수 있다. 다음, 상기 제 1 층간 절연막(408)을 패터닝 하여 상기 트랜지스터의 소스 영역(406a)을 노출시키는 비트라인 콘택홀(410)을 형성하고 상기 비트라인 콘택홀(410) 및 상기 제 1 층간 절연막(408) 상에 비트라인용 도전물질을 형성한다. 계속 해서 상기 도전물질을 패터닝 하여 비트라인(412)을 형성한다. 상기 비트라인(412)은 예를 들면 텅스테어로 형성된다. 다른 방법으로 상기 비트라인 콘택홀(410)을 채우는 비트라인 콘택 플러그를 형성한 후 상기 비트라인 콘택 플러그에 전기적으로 접속하는 비트라인을 형성할 수 도 있다. 비트라인(412) 형성 후 이를 절연시키기 위해 제 2 층간 절연막(414)이 형성된다. 상기 제 2 층간 절연막(414)은, 예를 들어 BPSG막으로 형성될 수 있다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

다음, 공정은 강유전체 커패시터 형성 공정으로서 도 5에 개략적으로 도시되어 있다. 구체적으로, 상기 제 2 층간 절연막(414) 및 제 1 층간 절연막(408)을 패터닝하여 상기 드레인 영역(406b)을 노출시키는 콘택홀을 형성한다. 이어서 상기 콘택홀을 채우도록 상기 제 2 층간 절연막(414) 상에 도전물질 예를 들어 폴리실리콘을 형성한다. 다음 상기 도전물질을 평탄화 하여 커패시터 콘택 플러그(416)를 형성한다. 여기서 상기 도전물질 및 제 2 층간 절연막의 평탄화가 동시에 진행된다. 즉, 제 2 층간 절연막의

평탄화와 동시에 콘택 플러그(416)가 형성된다. 제 2 층간 절연막(414)의 평탄화는 후속 강유전체 물질막의 양호한 증착 특성, 즉 균일한 강유전체 물질막 두께를 확보하기 위해서 필요하다. 강유전체 콘택 플러그(416) 형성 후, 상기 콘택 플러그(416)에 전기적으로 접속하는 강유전체 커패시터(424)가 형성된다. 먼저, 하부전극막, 강유전체막 및 상부전극막이 순차적으로 형성되고, 상기 콘택 플러그(416)와 전기적으로 접속하도록 상기 상부전극막, 강유전체막 및 하부전극막을 패터닝하여 셀 단위로 분리된 하부전극(418), 강유전체막(420) 및 상부전극(422)으로 이루어진 강유전체 커패시터(424)를 형성한다. 하부전극(418)으로는 백금(Pt) 등의 전도성 금속이나 이리듐 이산화막( $\text{IrO}_2$ ) 등의 전도성을 갖는 산화물 전극 또는 이들의 조합막이 사용될 수 있다. 강유전체막(420)으로는 PZT, SBT, BLT 또는 강유전물질의 조합의 복합층 등으로 형성된다. 예를 들어, PZT의 경우 솔-젤 방법에 의해 증착한 후 열처리를 통해 형성한다. 상부전극(422)으로는 이리듐(Ir), 루세늄(Ru), 백금 등의 전도성 금속이나, 이리듐 이산화막 등의 전도성 산화물 전극 또는 이들의 조합막이 사용될 수 있다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

다음 도 8을 참조하면, 노출된 상부전극(422) 및 제 3 층간 절연막(426) 상에 플레이트 라인용 도전물질(428)이 형성된다. 상기 도전물질(428)은 전도성을 가지는 물질이면 어느 것이든지 족하다. 전기전도성이 우수한 알루미늄으로 형성되는 것이 바람직하다. 알루미늄으로 형성할 경우, 스퍼터링에 의해서 형성하는 것이 더 바람직하다. 스퍼터링 방법은 고온 리플로 공정이 필요치 않기 때문에 이미 형성된 강유전체막의 고온열

처리로 인한 특성 열화를 피할 수 있다. 종래의 경우 비아홀을 형성하였기 때문에 알루미늄으로 플레이트 라인을 형성할 경우 좁고 깊은 비아홀을 채우기 위해서는 증착 및 고온 리플로 공정을 진행하였으며, 이로 인해 이미 형성된 강유전체막이 열처리에 의해 열화되는 경향이 있었다.

【보정대상항목】 식별번호 47

【보정방법】 정정

【보정내용】

다음 공정은 선택적인 스트립 라인(stripe line) 공정으로 도 10 및 도 11에 개략적으로 도시되어져 있다. 스트립 라인은 텅스텐 실리사이드 등으로 형성되는 게이트 라인, 즉 워드라인의 전도성을 향상시키기 위해 워드라인에 평행하게 형성하는 전도성 라인이다. 구체적으로 도 10을 참조하면, 플레이트 라인(430)이 형성된 결과물 상에 금속간 절연막(IMD:intermetal dielectric, 432)을 형성한다. 예를 들어, 상기 금속간 절연막(432)은 USG, PSG, PE-TEOS 등으로 형성할 수 있다. 상기 금속간 절연막(432), 제 3, 제 2, 및 제 1 층간 절연막의 소정 부분을 식각하여 상기 게이트 라인의 소정 부분을 노출시키는 홀(도면에 미도시)을 형성하고 이후 스트립 라인용 도전물질, 바람직하게는 알루미늄을 형성하고, 패터닝 하여 플레이트 라인(430)과 전기적으로 절연된 스트립 라인(434)을 도 11에 도시된 바와 같이 형성한다.

【보정대상항목】 식별번호 48

【보정방법】 정정

【보정내용】

상술한 본발명의 일실시예에 따르면, 플레이트 라인이 콘택을 통하지 않고, 강유전체 커패시터 상부전극과 직접 접촉하여 전기적으로 연결되며, 또한 상부전극의 상부 전면이 접촉한다. 따라서 상부전극 및 플레이트 라인 사이의 안정적인 콘택 저항을 확보할 수 있다.

【보정대상항목】 식별번호 49

【보정방법】 정정

【보정내용】

다음 도 12에서 부터 도 15를 참조하여 본발명의 다른 실시예를 설명한다. 도 4에서 부터 도 11에 나타난 구성요소와 동일한 기능을 가지는 구성요소에 대해서는 동일한 참조번호를 병기하였고 이들에 대한 자세한 설명은 생략한다. 본실시예가 상술한 실시예와 다른 점은, 플레이트 라인과 스트립 라인 형성의 공정 순서가 바뀌어 진행되는 데 있다. 즉, 본실시예에 있어서는 스트립 라인이 플레이트 라인보다 먼저 형성된다. 구체적으로 도면을 참조하여 설명하면, 먼저 도 12에 나타난 바와 같이, 강유전체 커패시터를 셀 단위로 분리한 후(도 5참조) 콘포말한 절연막(425)을 형성한다. 즉 상기 절연막(425)은 제 2 층간 절연막(414) 및 강유전체 커패시터(424)에 의해 형성되는 표면 윤곽을 따라 콘포말하게 형성된다.

【보정대상항목】 식별번호 50

【보정방법】 정정

【보정내용】

다음 도 13을 참조하면, 상기 절연막(425), 제 2, 및 제 1 층간 절연막의 소정 부분을 식각하여 상기 워드라인의 소정 부분을 노출시키는 홀(도면에 미도시)을 형성하고 이후 스트립 라인용 도전물질, 바람직하게는 알루미늄을 형성하고, 패터닝 하여 스트립 라인(434)을 형성한다. 이때 상기 스트립 라인(434)의 상부는 상기 강유전체 커패시터의 상부전극(422)의 상부보다 낮게 형성된다.

【보정대상항목】 식별번호 53

【보정방법】 정정

【보정내용】

바람직한 실시예에 의거하여 본 발명이 기술되었지만, 본 발명의 범위는 여기에 한정되는 것은 아니다. 오히려, 다양한 변형 및 비슷한 배열들도 포함한다. 비록 강유전체 커패시터가 비트라인 상부에 형성되는 구조에 대해서 실시예를 설명하였지만, 강유전체 커패시터가 비트라인 하부에 형성되는 경우에도 적용될 수 있다. 본발명은 강유전체 상부전극이 플레이트 라인에 연결되어야 하는 모든 강유전체 기억 소자 형성 방법에 적용될 수 있다. 따라서 본 발명의 청구범위의 진정한 범위 및 사상은 다양한 변형 및 비슷한 배열을 포함할 수 있도록 가장 넓게 해석되어야 한다.

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 상부막질 상에 금속간 절연막(IMD)을 형성하는 단계와;

상기 금속간 절연막 상에 상기 게이트 전극의 전도성을 향상시키기 위해 게이트 전극에 전기적으로 접속하는 스트립 라인(stripe line)을 더 형성하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 4

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 상부막질 형선 전에, 상기 강유전체 커패시터 및 상기 제 2 층간 절연막에 의해 형성되는 표면 윤곽을 따라 콘포말하게 절연막을 형성하는 단계와;

상기 강유전체 커패시터 사이의 상기 절연막 상에 상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인을 형성하는 단계를 포함하되,

상기 스트립 라인의 상부는 상기 강유전체 커패시터의 상부 보다 높이가 낮게 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 5

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 상부막질 평탄화 식각후, 상기 강유전체 커패시터의 상부전극의 표면을 세정하기 위해 아르곤 스퍼터링을 더 진행하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 6

【보정방법】 정정

【보정내용】

반도체 기판 상에 게이트 전극 및 그 양측의 소스/드레인 영역으로 이루어진 적어도 두개 이상의 트랜지스터를 형성하는 단계와;

상기 트랜지스터들 상에 제 1 층간 절연막을 형성하는 단계와;

상기 제 1 층간 절연막을 관통하는 비트라인 콘택 플러그를 통해 상기 소스 영역과 전기적으로 접속하는 비트라인을 상기 제 1 층간 절연막 상에 형성하는 단계와;

상기 비트라인 상에 제 2 층간 절연막을 형성하는 단계와;

상기 제 2 층간 절연막 및 제 1 층간 절연막을 관통하여 상기 각 드레인 영역에 전기적으로 접속하는 강유전체 콘택 플러그를 각각 형성하는 단계와;

상기 강유전체 콘택 플러그들 및 상기 제 2 층간 절연막 상에 하부전극, 강유전체 막 및 상부전극으로 이루어진 강유전체 커패시터를 상기 강유전체 콘택 플러그들에 전기

적으로 접촉하도록 각각 형성하는 단계와;

상기 강유전체 커패시터들 및 상기 제 2 층간 절연막 상에 제 3 층간절연막을 형성하는 단계와;

상기 강유전체 커패시터 상부전극들이 나타날 때까지 상기 제 3 층간 절연막을 평탄화 식각하는 단계와;

상기 평탄화된 제 3 층간 절연막 및 상기 강유전체 상부전극들 상에 플레이트 라인용 도전막을 형성하는 단계와;

상기 도전막을 패터닝하여 상기 강유전체 상부전극들에 직접 접촉하는 플레이트 라인을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 7

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 플레이트 라인들 및 상기 평탄화된 제 3 층간 절연막 상에 금속간 절연막을 형성하는 단계와;

상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인을 상기 제 3 층간 절연막 상에 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.



【보정대상항목】 청구항 8

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 강유전체 커패시터들 형성 후 그리고 상기 제 3 층간 절연막 형성 전에 상기 강유전체 커패시터들 및 상기 평탄화된 제 2 층간절연막으로 이루어진 표면 윤곽을 따라 얇게 콘포말하게 절연막을 형성하는 단계와;

상기 게이트 전극들의 전도성을 향상시키기 위해 상기 강유전체 커패시터 사이의 공간에 형성된 상기 절연막 상에 스트립 라인을 형성하는 단계를 더 포함하되, 상기 스트립 라인의 상부가 상기 강유전체 커패시터들의 상부보다 더 낮게 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 9

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 제 3 층간 절연막은 PSG(인도핑 유리막질), USG(도핑되지 않은 유리막질), PE-TEOS(플라즈마 인가 테트라에틸오르토 유리막질)을 포함하는 산화물 절연막 또는 이들의 조합막으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 10

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 플레이트 라인은 스퍼터링 방법에 의한 알루미늄으로 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 11

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 제 3 층간 절연막 평탄화 이후, 상기 강유전체 커패시터 상부전극 표면을 세정하기 위해 아르곤 스퍼터링을 더 진행하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

|            |  |
|------------|--|
| 【서류명】      | 명세서 등 보정서  |
| 【수신처】      | 특허청장   |
| 【제출일자】     | 2001.05.30   |
| 【제출인】      |  |
| 【명칭】       | 삼성전자 주식회사  |
| 【출원인코드】    | 1-1998-104271-3  |
| 【사건과의 관계】  | 출원인  |
| 【대리인】      |  |
| 【성명】       | 임창현  |
| 【대리인코드】    | 9-1998-000386-5  |
| 【포괄위임등록번호】 | 1999-007368-2  |
| 【대리인】      |  |
| 【성명】       | 권혁수  |
| 【대리인코드】    | 9-1999-000370-4  |
| 【포괄위임등록번호】 | 1999-056971-6  |
| 【사건의 표시】   |  |
| 【출원번호】     | 10-2001-0005147  |
| 【출원일자】     | 2001.02.02   |
| 【심사청구일자】   | 2001.02.02   |
| 【발명의 명칭】   | 강유전체 기억 소자 및 그 형성 방법   |
| 【제출원인】     |  |
| 【접수번호】     | 1-1-01-0023097-17  |
| 【접수일자】     | 2001.02.02   |
| 【보정할 서류】   | 명세서등   |
| 【보정할 사항】   |  |
| 【보정대상 항목】  | 별지와 같음   |
| 【보정방법】     | 별지와 같음   |
| 【보정내용】     | 별지와 같음   |
| 【취지】       | 특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인<br>임창현 (인) 대리인<br>권혁수 (인) |

**【수수료】****【보정료】** 0 원**【추가심사청구료】** 0 원**【기타 수수료】** 0 원**【합계】** 0 원**【첨부서류】**

1. 보정내용을 증명하는 서류\_1통

【보정대상항목】 요약

【보정방법】 정정

【보정내용】

본발명은 강유전체 기억 소자 및 그 형성 방법에 관한 것으로서, 콘택을 통하지 않고 직접 강유전체 상부전극에 접촉하여 전기적 접속이 이루어지는 플레이트 라인 및 그 형성 방법을 제공한다. 강유전체 커패시터 형성 후, 절연막을 증착하고 평탄화 한다. 이때 평탄화 공정은 강유전체 커패시터 상부전극이 노출될 때까지 진행되며, 이후 플레이트 전극용 도전막을 형성하고 패터닝하여 강유전체 커패시터 상부전극에 직접 접촉하는 플레이트 라인을 형성한다.

따라서 플레이트 라인 및 강유전체 커패시터 상부전극 사이의 안정적이 콘택저항을 확보할 수 있다.

【보정대상항목】 발명의 명칭

【보정방법】 정정

【보정내용】

강유전체 기억 소자 및 그 형성 방법{FERROELECTRIC MEMORY DEVICE AND METHOD OF FABRICATING THE SAME}

【보정대상항목】 식별번호 8

【보정방법】 정정

【보정내용】

404 : 게이트 전극    406a, 406b : 소스/드레인 영역

【보정대상항목】 식별번호 9

【보정방법】 정정

【보정내용】

408 : 제 1 층간 절연막

【보정대상항목】 식별번호 17

【보정방법】 정정

【보정내용】

본 발명은 강유전체 기억 소자 및 그 제조 방법에 관한 것으로서, 좀 더 상세하게는 콘택을 통하지 않고 직접 강유전체 커패시터 상부전극에 접촉하여 전기적 접속이 이루어지는 플레이트 라인을 갖는 강유전체 기억 소자 및 그 형성 방법에 관한 것이다.

【보정대상항목】 식별번호 23

【보정방법】 정정

【보정내용】

한편 1T/1C 강유전체 기억 소자(20)는 하나의 트랜지스터(T) 및 그 일측의 터미널에 연결된 강유전체 커패시터(CF)로 구성된다. 하나의 워드라인(WL)이 상기 트랜지스터(T)의 게이트에 연결되고, 하나의 비트라인(BL)이 상기 트랜지스터의 타측 터미널에 연결되고, 각 워드라인 당 개별적인 플레이트 라인(PL)이 강유전체 커패시터의 상부전극에 연결된다.

【보정대상항목】 식별번호 24

【보정방법】 정정

【보정내용】

상기 등가회로에 나타난 바와 같이, 강유전체 기억 소자는 소자 동작 특성상, 상부 전극에 펄스를 인가하여 데이터를 읽기/쓰기 동작을 하게 되어 있는데, 이를 위해 비아홀을 통한 플레이트 라인이 필요하다. 도 3은 이러한 강유전체 커패시터의 단면도를 개략적으로 나타내고 있다. 도 3을 참조하여 종래 플레이트 라인 형성 방법을 설명한다. 먼저, 절연막 (300)을 뚫고 콘택 플러그(302)가 형성된다. 하부전극(304), 강유전체막(306), 상부전극(308)으로 이루어진 강유전체 커패시터(CF)가 상기 콘택 플러그(302)에 전기적으로 연결되도록 형성된다. 상기 강유전체 커패시터(CF) 및 상기 절연막(300) 상에 다른 절연막(310)이 형성되고 상기 상부전극(308)에 전기적으로 연결되는 플레이트 라인(314)이 형성된다. 이때, 플레이트 라인(314)은 상기 다른 절연막(310)의 소정 부분을 통해서 먼저 비아홀(312)을 형성하고 상기 비아홀(312) 및 다른 절연막(310) 상에 도전물질을 증착하고 패터닝 하여 형성한다.

【보정대상항목】 식별번호 27

【보정방법】 정정

【보정내용】

따라서 본발명은 상술한 제반 문제점을 해결하기 위해 제안 된 것으로서, 플레이트 라인과 강유전체 커패시터 상부전극 사이의 콘택저항을 안정적으로 유지할 수 있는 강유전체 기억 소자 및 그 형성 방법을 제공하는 데 있다.

【보정대상항목】 식별번호 28

【보정방법】 정정

【보정내용】

본발명의 다른 목적은, 스트립 라인 및 플레이트 라인 사이의 전기적 연결을 방지할 수 있는 강유전체 기억 소자 및 그 형성 방법을 제공함에 있다.

【보정대상항목】 식별번호 29

【보정방법】 정정

【보정내용】

따라서 상술한 본발명의 목적을 달성하기 위한 강유전체 기억 소자 형성 방법에 따르면, 반도체 기판 상에 하부막질을 형성한다. 상기 하부막질 상에 상기 하부막질의 소정 영역을 통해 상기 반도체 기판과 전기적으로 접속하는 하부전극, 강유전체막 및 상부전극으로 이루어진 강유전체 커패시터를 형성한다. 상기 강유전체 커패시터 및 상기 하부막질 상에 상부막질을 형성한다. 상기 강유전체 커패시터 상부전극이 노출될 때 까지 상기 상부막질을 평탄화 식각한다. 상기 강유전체 상부전극 및 상기 평탄화된 상부막질 상에 도전막질을 형성한다. 상기 도전막질을 패터닝 하여 상기 강유전체 상부전극과 직접 접촉하는 플레이트 라인을 형성한다.

【보정대상항목】 식별번호 30

【보정방법】 정정

【보정내용】

바람직하게, 상기 하부막질을 형성하는 단계는, 상기 반도체 기판 상에 게이트 전



극 및 그 양측의 반도체 기판 내에 형성된 소스/드레인 영역으로 이루어진 트랜지스터를 형성하는 단계와, 상기 트랜지스터 상에 제 1 층간 절연막을 형성하는 단계와, 상기 제 1 층간절연막 상에 상기 소스/드레인 영역 일측에 전기적으로 연결되는 비트라인을 형성하는 단계와, 상기 비트라인 및 제 1 층간절연막 상에 제 2 층간절연막을 형성하는 단계로 이루어지며, 상기 강유전체 커패시터 하부전극은 상기 소스/드레인 영역 타측에 전기적으로 연결되도록 형성된다. 이때, 바람직한 실시예에 있어서, 상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인(stripe line)을 더 형성한다.

【보정대상항목】 식별번호 33

【보정방법】 정정

【보정내용】

상술한 본발명의 목적을 달성하기 위한 강유전체 기억 소자는, 반도체 기판 상에 형성된 하부막질과, 상기 하부막질 상에 형성된 하부전극 강유전체막 및 상부전극으로 이루어진 강유전체 커패시터와, 상기 하부막질 상에 그리고 상기 강유전체 커패시터 측면 상에 형성된 상부막질과, 그리고 상기 강유전체 커패시터 상부전극과 직접 접촉하면서 전기적으로 연결된 플레이트 라인을 포함한다.

【보정대상항목】 식별번호 34

【보정방법】 정정

【보정내용】

바람직한 실시예에 있어서, 상기 플레이트 라인 및 상기 상부막질 상에 형성된 금속간 절연막 그리고 상기 금속간 절연막 상에 형성된 스트립 라인을 더 포함한다.

또는 상기 상부막질 내에 스트립 라인을 더 포함할 수 있다.

바람직한 실시예에 있어서, 상기 하부막질은 제 1 층간 절연막 및 제 2 층간절연막으로 구성되고, 이때, 상기 제 1 층간절연막 내에 형성된 트랜지스터 및 상기 제 1 층간절연막 상에 형성된 비트라인을 더 포함할 수 있다. 여기서, 상기 트랜지스터는 게이트 전극, 상기 게이트 전극 양측의 반도체 기판에 형성된 소스/드레인 영역으로 이루어지며, 상기 비트라인은 상기 제 1 층간절연막을 통해 상기 소스/드레인 영역 일측에 전기적으로 연결되고, 상기 강유전체 커패시터 하부전극은 상기 제 2 층간절연막 및 제 1 층간절연막 내에 형성된 콘택 플러그를 통해 상기 소스/드레인 영역 타측에 전기적으로 연결된다.

【보정대상항목】 식별번호 35

【보정방법】 정정

【보정내용】

바람직한 실시예에 있어서, 상기 상부막질은 PSG(인도핑 유리막질), USG(도핑되지 않은 유리막질), PE-TEOS(플라즈마 인가 테트라에틸오르토 유리막질)을 포함하는 산화물 절연막 또는 이들의 조합막으로 형성된다.

【보정대상항목】 식별번호 37

【보정방법】 정정

【보정내용】

본발명에 따르면, 플레이트 라인이 비아홀 공정을 거치지 않고 직접 강유전체 커패

시터 상부전극에 접촉하도록 형성됨으로써, 이들 사이의 안정적인 콘택 저항을 확보할 수 있다. 또한 비아홀 공정에 따른 사진.식각 공정이 필요없기 때문에, 공정을 단순화할 수 있으며, 더 나아가서 사진.식각 공정에 따른 여러 문제점인 비아홀의 불완전한 열림, 플레이트 라인 및 스트립 라인 사이의 전기적 연결 등을 피할 수 있다.

【보정대상항목】 식별번호 38

【보정방법】 삭제

【보정대상항목】 식별번호 39

【보정방법】 정정

【보정내용】

본발명은 강유전체 기억 소자 및 그 형성 방법, 좀 더 구체적으로는 강유전체 상부전극에 전기적으로 연결되는 플레이트 라인 및 그 형성 방법에 관한 것이다. 본발명에 따르면, 커패시터 상부전극과 플레이트 라인이 절연막 내에 형성된 콘택을 통하지 않고 직접 서로 접촉하여 전기적으로 연결되는 것을 특징으로 한다.

【보정대상항목】 식별번호 41

【보정방법】 정정

【보정내용】

먼저 도 4에서 부터 도 11를 참조하여 본발명의 일실시예를 설명한다. 도 4를 참조하면, 반도체 기판(400) 상에 통상적인 소자분리 공정에 따라 활성영역(미도시)을 정의하고, 통상의 CMOSFET(complementary metal oxide semiconductor field effect

transistor)공정을 진행하여 소스/드레인 영역 및 게이트 전극으로 이루어진 트랜지스터를 형성한다. 구체적으로 소자 분리 공정을 완료한 후, 게이트 산화막(402)을 형성하고 게이트 전극용 도전막을 형성하고 패터닝하여 다수의 게이트 전극(또는 라인)을 형성한다. 도면에는 도의 간략화를 위해 단지 두개의 게이트 라인(404)만이 도시되어 있다. 상기 게이트 라인(404)은 폴리실리콘, 텅스텐, 텅스텐 실리사이드 또는 이들의 조합막으로 형성할 수 있다. 상기 게이트 라인(404)은 워드라인으로 작용한다. 상기 게이트 라인(404) 형성후 통상적인 이온주입 공정을 진행하여 상기 게이트 라인(404) 양측의 반도체 기판 내에 소스/드레인 영역(406a, 406b)을 형성하여 트랜지스터를 완성한다. 다음, 상기 트랜지스터를 포함하여 상기 반도체 기판(400) 상에 상부가 평탄한 제 1 층간 절연막(408)을 형성한다. 상기 제 1 층간 절연막(408)은 예를 들어 보론 및 인 불순물을 포함하는 유리막질(BPSG;borophosphosilicate glass)로 형성될 수 있다. 다음, 상기 제 1 층간 절연막(408)을 패터닝 하여 상기 트랜지스터의 소스/드레인 영역 중 일측 (406a)을 노출시키는 비트라인 콘택홀(410)을 형성하고 상기 비트라인 콘택홀(410) 및 상기 제 1 층간 절연막(408) 상에 비트라인용 도전물질을 형성한다. 계속 해서 상기 도전물질을 패터닝 하여 비트라인(412)을 형성한다. 상기 비트라인(412)은 예를 들면 텅스테어로 형성된다. 다른 방법으로 상기 비트라인 콘택홀(410)을 채우는 비트라인 콘택 플러그를 형성한 후 상기 비트라인 콘택 플러그에 전기적으로 접속하는 비트라인을 형성할 수 도 있다. 비트라인(412) 형성 후 이를 절연시키기 위해 제 2 층간 절연막(414)이 형성된다. 상기 제 2 층간 절연막(414)은, 예를 들어 BPSG막으로 형성될 수 있다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

다음, 공정은 강유전체 커패시터 형성 공정으로서 도 5에 개략적으로 도시되어 있다. 구체적으로, 상기 제 2 층간 절연막(414) 및 제 1 층간 절연막(408)을 패터닝하여 상기 소스/드레인 영역 타측(406b)을 노출시키는 콘택홀을 형성한다. 이어서 상기 콘택홀을 채우도록 상기 제 2 층간 절연막(414) 상에 도전물질 예를 들어 폴리실리콘을 형성한다. 다음 상기 도전물질을 평탄화 하여 커패시터 콘택 플러그(416)를 형성한다. 여기서 상기 도전물질 및 제 2 층간 절연막(414)의 평탄화가 동시에 진행된다. 즉, 제 2 층간 절연막의 평탄화와 동시에 콘택 플러그(416)가 형성된다. 제 2 층간 절연막(414)의 평탄화는 후속 강유전체 물질막의 양호한 증착 특성, 즉 균일한 강유전체 물질막 두께를 확보하기 위해서 필요하다. 상기 강유전체 콘택 플러그(416) 형성 후, 상기 콘택 플러그(416)에 전기적으로 접속하는 강유전체 커패시터(424)가 형성된다. 먼저, 하부전극막, 강유전체막 및 상부전극막이 순차적으로 형성되고, 상기 콘택 플러그(416)와 전기적으로 접속하도록 상기 상부전극막, 강유전체막 및 하부전극막을 패터닝하여 셀 단위로 분리된 하부전극(418), 강유전체막(420) 및 상부전극(422)으로 이루어진 강유전체 커패시터(424)를 형성한다. 하부전극(418)으로는 백금(Pt) 등의 전도성 금속이나 이리듐 이산화막(IrO<sub>2</sub>) 등의 전도성을 갖는 산화물 전극 또는 이들의 조합막이 사용될 수 있다. 강유전체막(420)으로는 PZT, SBT, BLT 또는 강유전물질의 조합의 복합층 등으로 형성된다. 예를 들어, PZT의 경우 솔-젤 방법에 의해 증착한 후 열처리를 통해 형성한다. 상부전극(422)으로는 이리듐(Ir), 루세늄(Ru), 백금 등의 전도성 금속이나, 이리듐 이산화

막 등의 전도성 산화물 전극 또는 이들의 조합막이 사용될 수 있다.

【보정대상항목】 식별번호 43

【보정방법】 정정

【보정내용】

다음 도 6을 참조하면, 셀 단위로 분리된 강유전체 커패시터(424) 형성후, 제 3 층 절연막(426)을 형성한다. 상기 제 3 층간 절연막(426)은 예를 들어, 도핑되지 않은 유리막질(USG:undoped silicate glass), 인도핑 유리막질(PSG:phosphorous silicate glass), 플라즈마 인가-테트라에틸오르토 유리막질(PE-TEOS:plasma enhanced tetraethylorthosilicate glass) 등으로 형성될 수 있다. 또는 절연성을 가지는 여러 막질의 조합막으로도 형성이 가능하다.

【보정대상항목】 식별번호 44

【보정방법】 정정

【보정내용】

다음 도 7을 참조하면, 종래와 달리 상기 제 3 층간 절연막(426) 내에 비아홀을 형성하지 않고, 상기 제 3 층간 절연막(426)에 대해서 평탄화 공정을 진행한다. 상기 평탄화 공정은 에치백 또는 물리화학적 연마(chemical mechanical polishing) 등에 의해 진행할 수 있으며, 상기 상부전극(422) 상부가 나타날 때 까지 진행한다. 이어서 평탄화 공정을 받은 상부전극(422) 상부를 세정하기 위해 아르곤 스퍼터링 공정을 진행하여 상부전극의 콘택 저항 특성을 향상시킨다.

【보정대상항목】 청구항 2

【보정방법】 정정

【보정내용】

제 1 항에 있어서,

상기 하부막질을 형성하는 단계는,

상기 반도체 기판 상에, 게이트 전극 및 그 양측의 반도체 기판 내에 형성된 소스/드레인 영역으로 이루어진 트랜지스터를 형성하는 단계와;

상기 트랜지스터 상에 제 1 층간 절연막을 형성하는 단계와;

상기 제 1 층간절연막 상에 상기 소스/드레인 영역 일측에 전기적으로 연결되는 비트라인을 형성하는 단계와;

상기 비트라인 및 제 1 층간절연막 상에 제 2 층간절연막을 형성하는 단계로 이루어지며,

이때, 상기 강유전체 커패시터의 하부전극은 상기 제2 층간절연막 및 상기 제1 층간절연막 내의 소정 영역에 형성된 콘택 플러그를 통해 상기 소스/드레인 영역 타측에 전기적으로 연결되도록 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 3

【보정방법】 정정

【보정내용】

제 2 항에 있어서,

상기 상부막질 및 상기 플레이트 라인 상에 금속간 절연막(IMD)을 형성하는 단계와;

상기 금속간 절연막 상에 상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인(stripe line)을 더 형성하는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 4

【보정방법】 정정

【보정내용】

제 2 항에 있어서,

상기 상부막질 형선 전에, 상기 강유전체 커패시터 및 상기 제 2 층간 절연막에 의해 형성되는 표면 윤곽을 따라 콘포말하게 절연막을 형성하는 단계와;

상기 강유전체 커패시터 사이의 상기 절연막 상에 상기 게이트 전극의 전도성을 향상시키기 위해 스트립 라인을 형성하는 단계를 포함하되,

상기 스트립 라인의 상부는 상기 강유전체 커패시터의 상부 보다 높이가 낮게 형성되는 것을 특징으로 하는 강유전체 기억 소자 형성 방법.

【보정대상항목】 청구항 6

【보정방법】 정정

【보정내용】

반도체 기판 상에 형성된 하부막질;

상기 하부막질 상에 형성된 하부전극, 강유전체막 및 상부전극으로 이루어진 강유전체 커패시터, 이때 상기 하부전극은 상기 하부막질에 형성된 콘택 플러그를 통해 상기



반도체 기판의 소정 부분에 전기적으로 연결되고;

상기 하부막질 상에 그리고 상기 강유전체 커패시터 측면 상에 형성된 상부막질;

그리고

상기 강유전체 상부전극과 직접 접촉하면서 전기적으로 연결된 플레이트 라인을 포함하는 강유전체 기억 소자.

【보정대상항목】 청구항 7

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 플레이트 라인 및 상기 상부막질 상에 형성된 금속간 절연막; 그리고

상기 금속간 절연막 상에 형성된 스트립 라인을 더 포함하는 강유전체 기억 소자.

【보정대상항목】 청구항 8

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 상부막질 내에 스트립 라인을 더 포함하는 강유전체 기억 소자.

【보정대상항목】 청구항 9

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 상부막질은 PSG(인도핑 유리막질), USG(도핑되지 않은 유리막질), PE-TEOS(플라즈마 인가 테트라에틸오르토 유리막질)을 포함하는 산화물 절연막 또는 이들의 조합막으로 형성되는 것을 특징으로 하는 강유전체 기억 소자.

【보정대상항목】 청구항 10

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 플레이트 라인은 스퍼터링 방법에 의한 알루미늄으로 형성되는 것을 특징으로 하는 강유전체 기억 소자.

【보정대상항목】 청구항 11

【보정방법】 정정

【보정내용】

제 6 항에 있어서,

상기 하부막질은 제 1 층간절연막 및 제 2 층간절연막으로 구성되고,

상기 제 1 층간절연막 내에 그리고 상기 반도체 기판 상에 형성된 트랜지스터; 및

상기 제 1 층간절연 상에 형성된 비트 라인을 더 포함하되,

상기 트랜지스터는 상기 반도체 기판 상에 게이트 절연막을 사이에 두고 형성된 게이트 전극 및 상기 게이트 전극 양측의 반도체 기판 내에 형성된 소스/드레인 영역으로 이루어 지며, 상기 비트 라인은 상기 제 1 층간절연막을 통해 상기 소스/드레인 영역의 일측에 그리고 상기 강유전체 커패시터 하부전극은 상기 제 2 층간절연막 및 제 1 층간절연막 내에 형성된 콘택 플러그를 통해 상기 소스/드레인 영역 타측에 각각 전기적으로 연결되는 것을 특징으로 하는 강유전체 기억 소자.